

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ

Приходько В. М.
Третяк В. Ф.
Осієвський С. В.

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Навчально-практичний посібник

Харків. Вид. ХНЕУ, 2008

УДК004.3(076)
ББК32.973я73
П77

Рецензенти: докт. техн. наук, професор, зав. кафедри безпеки інформаційних технологій Харківського національного університету радіоелектроніки *Горбенко І. Д.*;
докт. техн. наук, професор кафедри автоматизації та комп'ютерних технологій Харківського національного технічного університету сільського господарства ім. Петра Василенка *Краснобаєв В. А.*; докт. фіз.-мат. наук, професор кафедри математичного та програмного забезпечення АСУ Харківського університету Повітряних Сил імені Івана Кожедуба *Смеляков С. В.*

Затверджено на засіданні вченої ради Харківського національного економічного університету.

Протокол №3 від 22.10.2007 р.

Рекомендовано Міністерством освіти і науки України як навчальний посібник для студентів вищих навчальних закладів.

Приходько В. М.

П77 Комп'ютерна схемотехніка. Навчально-практичний посібник / В. М. Приходько, В. Ф. Третяк, С. В. Осієвський. – Харків: Вид. ХНЕУ, 2008. – 208 с. (Укр. мов.)

Подано матеріали для засвоєння теоретичних знань і формування необхідних практичних навичок стосовно аналізу, синтезу, розрахунку параметрів основних аналогових і цифрових елементів та вузлів схемотехніки комп'ютерів. Приділено особливу увагу питанням формування навичок експериментального дослідження фізичних явищ, що відбуваються під час функціонування електричних схем, а також навичок складання й налагоджування правильної роботи цих електричних схем.

Рекомендовано для студентів напряму підготовки "Комп'ютерні науки".

ISBN 0-0-0-0

**УДК 004.3(076)
ББК 32.973я73**

© Харківський національний економічний університет, 2008
© Приходько В. М.
Третяк В. Ф.
Осієвський С. В.
2008

Вступ

Вихід суспільства на новий рівень цивілізації невід'ємно пов'язаний з вирішенням усіх проблем інформатизації, тобто з забезпеченням повсюдного використання автоматизованих методів збирання, передавання, обробки та зберігання різноманітної інформації. Технічною основою вирішення вказаних проблем спеціалісти називають всебічне використання відповідних комп'ютеризованих засобів, практичне вивчення схемотехнічних основ яких і складає предмет даного навчально-практичного посібника.

Основним шляхом удосконалення підготовки спеціалістів в наш час є рішучий поворот до підсилення індивідуального підходу, розвитку творчих здібностей тих, хто навчається, з опорою на їх напружену самостійну роботу, активні форми і методи навчання. Суттєво зростає значимість умінь і практичних навичок як критеріїв якості навчання. У зв'язку з цим зростає роль лабораторних занять як форми навчання, що призвана поєднати теорію з практикою.

Тому при написанні даного навчально-практичного посібника автори намагалися не тільки забезпечити ефективну методику проведення досліджень, але й індивідуалізувати зміст експериментів, що проводяться.

Лабораторні заняття з навчальної дисципліни "Комп'ютерна схемотехніка" представляють собою такий від навчального заняття, на якому студенти під керівництвом викладача особисто проводять імітаційні експериментальні дослідження властивостей та принципів функціонування основних елементів і вузлів комп'ютерної схемотехніки.

Лабораторні заняття мають на меті:

установлення відповідності результатів експериментальних досліджень з теоретично прогнозуючими, виявлення та пояснення причин їх розходження;

набуття навичок роботи з комп'ютерною технікою, сучасним прикладним програмним забезпеченням, що дозволяє моделювати роботу аналогових і цифрових елементів та функціональних пристроїв комп'ютерної схемотехніки;

практичне засвоєння методики вимірювань і проведення експериментальних досліджень, а також вироблення вмінь щодо обробки та оформленню результатів вимірів і досліджень, наукового обґрунтування отриманих результатів, їх захисту.

Лабораторні заняття проводяться шляхом імітаційного моделювання на персональному комп'ютері роботи реальних елементів та вузлів комп'ютерної схемотехніки за допомогою програмного пакета схемотехнічного моделювання аналогових та цифрових радіоелектронних пристроїв **Electronics Workbench**.

Лабораторні заняття проводяться в спеціалізованих комп'ютерних класах.

За підсумками проведеного лабораторного заняття студент має скласти звіт і захистити свої отримані результати перед викладачем.

Оформлений звіт передбачає наявність титульної сторінки (додаток А) та змістовної частини, яка вміщує наступні елементи:

мету заняття,

програму роботи;

вихідні дані;

матеріали, що ілюструють хід виконання завдання з обов'язковим приведенням усіх розрахунків, схем, таблиць, графіків тощо;

висновки за результатами проведеної роботи.

Звіт повинен бути оформленим у відповідності з вимогами єдиної системи конструкторської документації в рукописному або друкованому вигляді.

У кожному завданні надані методичні рекомендації щодо порядку підготовки до заняття та його виконання, необхідні теоретичні відомості й контрольні запитання для самоперевірки.

Оскільки для виконання лабораторних робіт пропонується програмний пакет **Electronics Workbench**, то студентам, які не працювали з ним, рекомендується попередньо ознайомитися з його можливостями, принципом побудови та функціонування (додаток Б).

Модуль 1. Комп'ютерна цифрова схемотехніка

ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ RC -ЛАНЦЮГІВ

Тема 1. Форми зображення інформації

Лабораторне заняття № 1.

Мета заняття

1. Прищеплення навичок експериментального дослідження властивостей RC -ланцюгів першого та другого роду при впливі на них імпульсів прямокутної форми.

2. Прищеплення практичних навичок у складанні, налагоджуванні та дослідженні функціонування RC -ланцюгів за допомогою імітаційного моделювання їх роботи засобами електронної лабораторії **Electronics Workbench** для персональних комп'ютерів.

Стислі теоретичні відомості

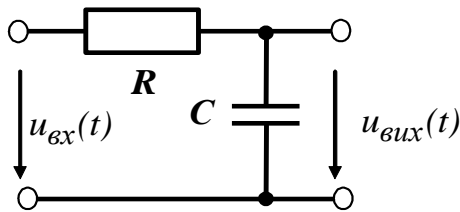
Для синхронної роботи елементів комп'ютеризованих систем використовується тактовий генератор, що виробляє імпульси прямокутної форми з заданою тривалістю та амплітудою. Але в загальному випадку для правильного функціонування різних елементів потрібні імпульси, форма, тривалість та амплітуда яких відрізняються від прямокутної. Внаслідок цього виникає необхідність попередньо перетворювати імпульси тактового генератора.

Перетворювання такого роду здійснюється в основному за допомогою лінійних ланцюгів – чотирьохполюсників, які можуть бути пасивними (такими, які не мають у своєму складі джерел живлення) і активними (які використовують енергію внутрішніх та зовнішніх джерел живлення).

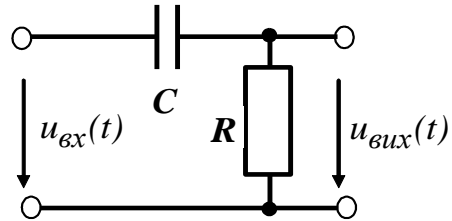
Такі операції, як диференціювання, інтегрування та скорочення імпульсів, з успіхом можна виконувати за допомогою пасивних лінійних ланцюгів, основу яких складають послідовно з'єднані конденсатор та резистор. Ланцюги такого типу носять назву RC -ланцюги. Існують два різних типи RC -ланцюгів, які отримали назву RC -ланцюгів першого і другого роду (рис. 1).

При підключенні до входу постійної напруги E для ланцюгів обох видів маємо відповідно до закону Кирхгофа рівняння

$$u_C(t) + i(t)R = u_{ex}(t). \quad (1)$$



RC – ланцюг першого роду



RC – ланцюг другого

Рис.1. Види RC – ланцюгів

Оскільки струм, що протікає через конденсатор і напруга на ньому пов'язані формулами $i(t) = C \frac{du_C(t)}{dt}$ та $u_C(t) = \frac{1}{C} \int_0^t i(t) dt$, то можна записати

$$RC \frac{du_C(t)}{dt} + u_C(t) = u_{ex}(t), \quad (2)$$

або

$$i(t) = \frac{u_{ex}(t)}{R} - \frac{1}{RC} \int_0^t i(t) dt. \quad (3)$$

Розглянемо фізичні процеси RC -ланцюга при впливі прямокутного імпульсу (рис.2).

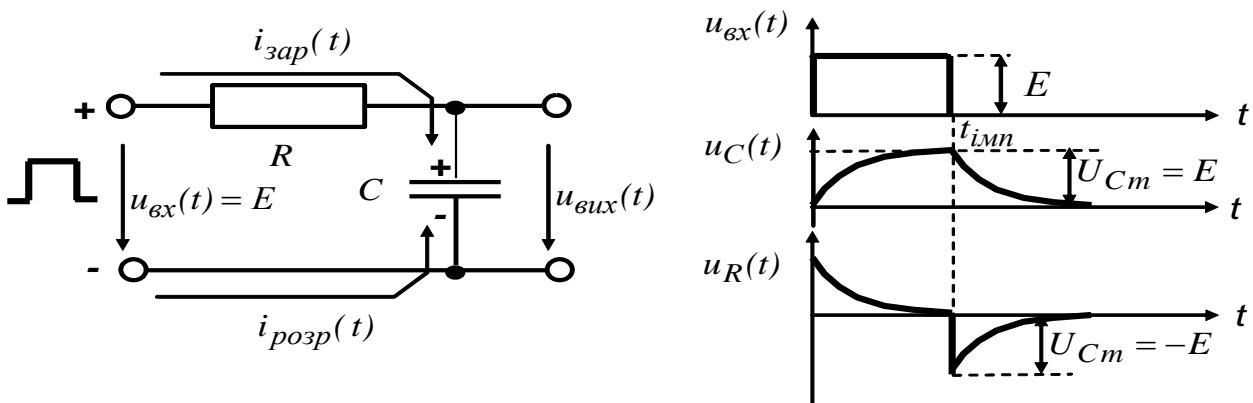


Рис. 2. Принцип функціонування RC – ланцюга

З приходом вхідного імпульсу в RC -ланцюзі починають

відбуватися перехідні процеси заряду конденсатора (ємності) C . У початковий момент часу ($t = 0$) вся вхідна напруга прикладається до резистору R , а потім конденсатор починає заряджатися за експоненціальним законом до величини вхідної напруги $U_{Cm} = E$. По ходу заряду конденсатора струм $i_{zap}(t)$ у ланцюзі зменшується, що спричиняє експоненціальне зменшення напруги $u_R(t)$, яка прикладається до резистору (рис.2).

Після закінчення вхідного імпульсу в момент часу t_{imn} роль джерела напруги починає відігравати конденсатор. Він починає розряджатися. Струм розряду конденсатора $i_{rozp}(t)$ протікає шляхом, протилежним шляху струму попереднього заряду конденсатора. В момент t_{imn} весь заряд конденсатора $U_{Cm} = E$ прикладається до опору R зі зворотною полярністю. По ходу розряду конденсатора напруга на резисторі і конденсаторі зменшується до нуля (рис. 2).

Для аналізу RC -ланцюгів важливе значення має постійна часу ланцюга $\tau = RC$. За час, рівний 3τ в RC -ланцюзі закінчуються всі перехідні процеси, тобто конденсатор повністю заряджається або розряджається. У зв'язку з цим існують особливості функціонування RC -ланцюгів у залежності від співвідношення тривалості вхідного імпульсу t_{imn} , тривалості його фронту t_ϕ та спаду t_c , а також постійної часу ланцюга τ .

Ланцюги з дуже великою сталою часу ($\tau \gg t_{imn}$).

У RC -ланцюзі першого роду під час впливу вхідної напруги в інтервалі часу $0 < t < t_{imn}$ відбувається лінійна зміна напруги на конденсаторі $u_C(t)$. Така зміна відповідає інтегралу від постійної величини. Ці висновки можна підкріпити аналітичними виразами. Якщо виконується умова, що постійна часу $\tau = RC$ має достатньо велике значення, то з виразу (3) маємо $i(t) = \frac{u_{ex}(t)}{R}$. Напруга на конденсаторі

є в водночас і вихідною напругою, тому

$$u_C(t) = u_{vux}(t) = \frac{1}{C} \int_0^t i(t) dt = \frac{1}{RC} \int_0^t u_{ex}(t) dt, \text{ тобто вихідний сигнал}$$

представляє собою проінтегрований вхідний сигнал, помножений на

коефіцієнт пропорційності $\frac{I}{RC} = \tau^{-1}$.

Такі **RC**-ланцюги прийнято називати інтегруючими **RC**-ланцюгами, часові діаграми яких представлені на рис. 3

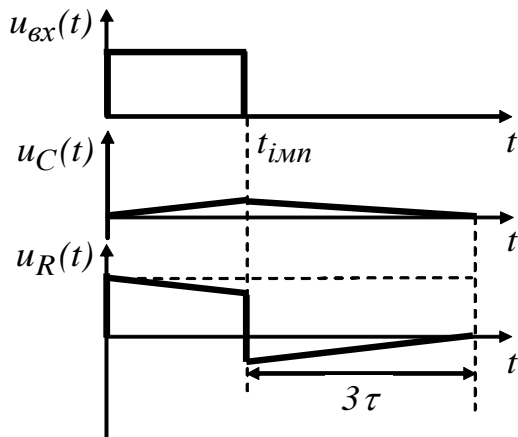


Рис. 3. Часові діаграми **RC** – ланцюга при $\tau \gg t_{imp}$.

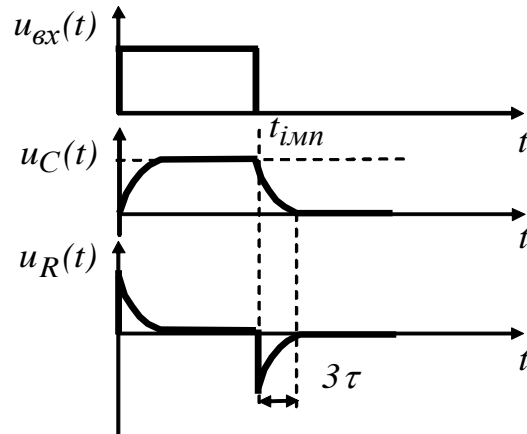


Рис. 4. Часові діаграми **RC** – ланцюга при $\tau \ll t_{imp}$.

У ланцюзі другого роду вихідна напруга $u_R(t)$ передає вхідну напругу без збільшення тривалості фронту і спаду. Чим суворіше виконується співвідношення $\tau \gg t_{imp}$, тим менше викривлення вхідних сигналів. Тому такі **RC**-ланцюги прийнято називати передавальними (іноді розділювальними), і вони широко використовуються на практиці для невикривленої передачі імпульсних сигналів.

Ланцюги з малою постійною часу ($\tau \ll t_{imp}$).

Вихідна напруга **RC**-ланцюга першого роду $u_C(t)$ становить викривлений вхідний імпульс. Викривленням піддаються фронт і спад імпульсу, тривалість яких дорівнює 3τ ланцюга. Тому на практиці такий ланцюг не застосовується.

Вихідна напруга **RC**-ланцюга другого роду $u_R(t)$ є двома різнополярними імпульсами, тривалість кожного з яких менше тривалості вхідного, а їх тимчасове положення відповідає фронту і спаду імпульсу. Ланцюг називається таким, що скорочує і широко використовується на практиці. Форми часових діаграм такого ланцюга представлені на рис. 4.

Ланцюги з дуже малою постійною часу ($\tau \ll t_f, \tau \gg t_c$).

При виконанні нерівностей ($\tau \ll t_{\phi}$, $\tau \gg t_c$) фронт і спад вхідного імпульсу не сприймаються RC -ланцюгом як перепади напруги. За час фронту (чи спаду) перехідний процес в RC -ланцюзі закінчується, що істотно позначається на формі напруг. При такій малій постійній часу вхідний імпульс, по суті, є трапецеїдальним, що і враховано при побудові часових діаграм (рис. 5). RC -ланцюг першого роду не знайшов використання на практиці.

Для RC -ланцюга другого роду при лінійній зміні вхідної напруги (під час фронту і спаду) напруга на виході ланцюга постійна, за виключенням часу перехідних процесів 3τ . При постійній вхідній напрузі (вершина імпульсу) напруга на резисторі $u_R(t)$ дорівнює 0. Такими властивостями володіє похідна, цьому такий RC -ланцюг називається RC -ланцюг що диференціює. Дійсно, як видно з виразу (1)

$$u_{ex}(t) = u_C(t) + i(t)R = \frac{1}{C_0} \int i(t) dt + i(t)R.$$

Якщо опір резистору R малий і складову $i(t)R$ можна не брати до уваги, то струм в ланцюзі $i(t) \approx C \frac{du_{ex}(t)}{dt}$ і вихідна напруга ланцюга, що знімається з резистору R визначається за формулою:

$$u_{ex}(t) = i(t)R \approx RC \frac{du_{ex}(t)}{dt}.$$

Частотні характеристики RC -ланцюгів

У загальному випадку RC -ланцюги можна розглядати як чотирьохполюсники, тобто електричні схеми які мають два вхідних та два вихідних зажими (полюси). Передаточною функцією (або коефіцієнтом передачі) чотирьохполюсника за напругою $\dot{K}_u(\omega)$ називають відношення комплексної напруги на виході чотирьохполюсника $\dot{U}_{vix}(\omega)$ до комплексної напруги на вході чотирьохполюсника $\dot{U}_{vx}(\omega)$:

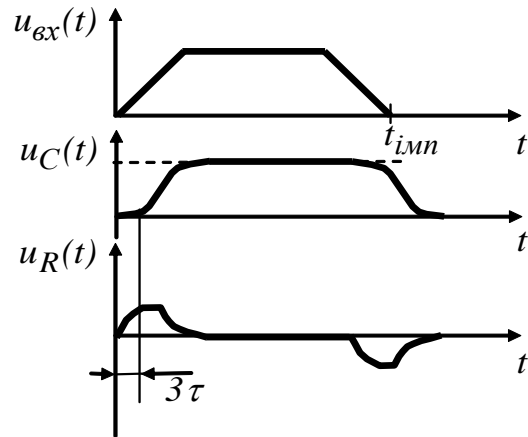


Рис. 5. Часові діаграми RC -ланцюга при $\tau \ll t_{\phi}$ та $\tau \ll t_c$

$$\dot{K}_u(\omega) = \frac{\dot{U}_{вих}(\omega)}{\dot{U}_{вх}(\omega)} = \frac{U_{вих}(\omega)}{U_{вх}(\omega)} e^{j(\Psi_{U_{вих}}(\omega) - \Psi_{U_{вх}}(\omega))} = K_u(\omega) e^{j\Psi_u(\omega)},$$

де $K_u(\omega)$ – модуль коефіцієнта передачі **RC**-ланцюга в залежності від кутової частоти ω ($\omega = 2\pi f$), тобто амплітудно-частотна характеристика (**АЧХ**) **RC**-ланцюга (для довідки, для будь-якого комплексного числа

$\dot{R} = a \pm jb = R(\cos\alpha \pm j\sin\alpha) = Re^{\pm j\alpha}$, його модуль R та аргумент α обчислюється за формулами: $R = \sqrt{a^2 + b^2}$; $\alpha = \arctg \pm \frac{b}{a}$,

$\cos\alpha \pm j\sin\alpha = e^{\pm j\alpha}$ - формула Ейлера.);

$\Psi(\omega)$ – кут зсуву фази між вихідною і вхідною напругою **RC**-ланцюга в залежності від частоти ω , тобто фазочастотна характеристика (**ФЧХ**) **RC**-ланцюга;

e – основа натурального логарифма.

Якби в **RC**-ланцюзі не було викривлень, **АЧХ** представляла б собою пряму лінію, паралельну осі абсцис (рис.6), тобто однаково змінювалися б сигнали всіх частот від 0 до ∞ , а **ФЧХ** також представляла би собою пряму лінію, що проходить через початок координат.

Для **RC**-ланцюга 1-го роду **АЧХ** та **ФЧХ** мають вигляд:

$$K_C = \frac{1}{\sqrt{1 + (\omega\tau)^2}}, \quad \Psi_C = \arctg(-\omega\tau).$$

З приведених виразів для **RC**-ланцюга першого роду видно, що коефіцієнт передачі на малих частотах близький до одиниці, оскільки опір конденсатора на цих частотах великий і весь вхідний сигнал прикладається ("падає") до конденсатора. **ФЧХ** при $\omega \rightarrow 0$ також намагається приблизитися до нуля. При $\omega \rightarrow \infty$ **АЧХ** та **ФЧХ** асимптотичне наближуються відповідно до 0 та -90° .

З указаних причин для **RC** – ланцюгів першого роду спостерігається викривлення фронту і спаду імпульсу ("завал" в області

верхніх частот). Для зменшення цих викривлень необхідно зменшувати постійну часу ланцюга τ .

Для **RC**-ланцюга 2-го роду **АЧХ** та **ФЧХ** мають вигляд:

$$K_R = \frac{w\tau}{\sqrt{1+(w\tau)^2}}, \quad \Psi_R = \arctg \frac{1}{w\tau}.$$

З приведених виразів для **RC**-ланцюга другого роду видно, що коефіцієнт передачі на малих частотах близький до нуля, оскільки опір конденсатора на цих частотах великий і більша частина вхідного сигналу "падає" на конденсатор. Як наслідок цього явища – малий коефіцієнт передачі.

При $w \rightarrow \infty$ **АЧХ** та **ФЧХ** асимптотично наближуються відповідно до **1** та **0**, фазовий зсув рівняється нулю.

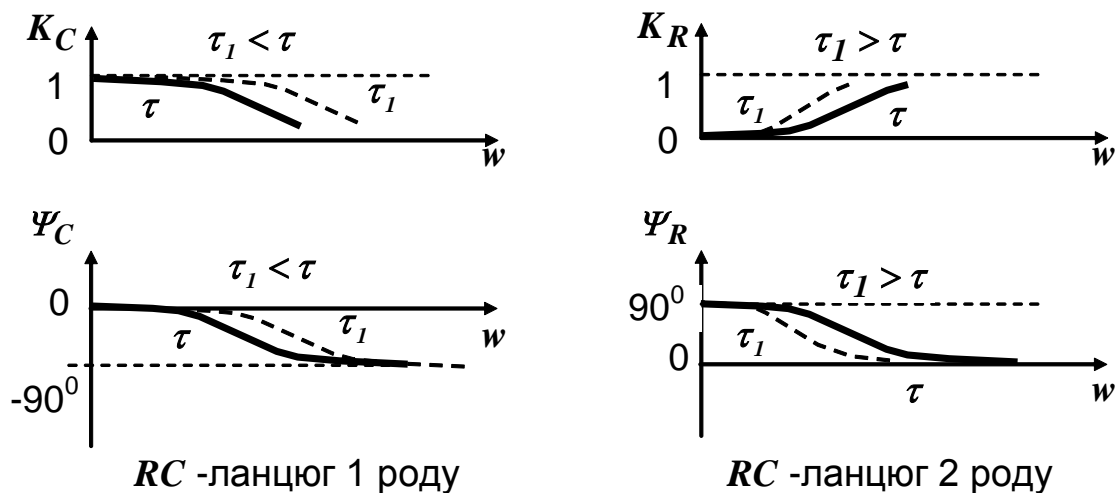


Рис. 6. **АЧХ** та **ФЧХ RC** – ланцюгів

Для **RC**-ланцюгів другого роду спостерігається викривлення вершини імпульсу ("завал" в області нижніх частот). Для зменшення цих викривлень необхідно зменшувати постійну часу ланцюга τ .

Рекомендації щодо підготовки до лабораторного заняття

1. Успішне виконання програми лабораторного заняття неможливе без глибокого знання фізичних процесів, що відбуваються в **RC** – колах при проходженні через них прямокутних імпульсів. Необхідний

теоретичний матеріал викладений в розділі "**Стислі теоретичні відомості**" даного лабораторного заняття. Тому перед виконанням лабораторного завдання кожному студенту рекомендується перевірити ступінь особистої підготовки до заняття згідно з наступними питаннями і повернутися до вивчення теоретичного матеріалу, якщо відповіді на ці запитання викликають певні труднощі.

Питання для самоконтролю:

Дати визначення пасивних чотирьохполюсників.

Привести схему **RC**-ланцюга 1-го (2-го) роду.

Пояснити природу виникнення знакозмінної напруги на резисторі під час впливу на **RC**-ланцюг імпульсного вхідного сигналу.

Дати визначення **АЧХ** та **ФЧХ** для **RC**-ланцюга.

Пояснити фізичний зміст сталої ланцюга τ .

Записати закон Кірхгофа для **RC**-ланцюга.

Які **RC**-ланцюги доцільно використовувати для не викривленої передачі імпульсних сигналів? Чому?

2. Лабораторне заняття проводиться шляхом імітаційного моделювання на персональному комп'ютері роботи реальних **RC**-ланцюжків за допомогою програмного пакету схемотехнічного моделювання аналогових та цифрових радіоелектронних пристроїв **Electronics Workbench** (додаток № 2). Тому перед виконанням лабораторної роботи необхідно уважно ознайомитися з можливостями бібліотеки елементної бази та контрольно-виміральної апаратури цього програмного пакета, правилами побудови електронних схем, порядком налагоджування контрольно-виміральної апаратури, встановлення типів, номіналів, параметрів електронних приборів тощо.

Завдання для опрацювання на лабораторному занятті

Згідно з заданим варіантом (табл. 1) провести дослідження функціонування **RC**-ланцюгів, а саме:

1) побудувати схему **RC**-ланцюжка 1-го роду з заданими параметрами і отримати часові характеристики напруги вхідного та вихідного сигналів;

2) побудувати схему **RC**-ланцюжка 2-го роду і отримати часові характеристики напруги вхідного та вихідного сигналів;

3) отримати амплітудно-частотну (**АЧХ**) та фазочастотну (**ФЧХ**) характеристики заданого **RC**-ланцюжка.

Варіанти завдань

№ варіанту	RC-ланцюжок першого роду					RC-ланцюжок другого роду										АЧХ, ФЧХ											
	Інтегруючий					Розділювальний					Той що скорочує					Той що диференціює					RC- 1-го роду	RC- 2-го роду					
	F, (кГц)	K·100%	V, (В)	C, (нФ)	R, (кОм)	F, (кГц)	K·100%	V, (В)	C, (нФ)	R, (кОм)	F, (кГц)	K·100%	V, (В)	C, (нФ)	R, (кОм)	F, (кГц)	K·100%	V, (В)	C, (рФ)	R, (кОм)							
1	0,5	40	0,5	700	1	4	25	3	900	100													v				
2	0,3	25	0,5	900	0,9						1	30	0,5	50	2									v			
3	0,7	10	1	850	0,5											4	25	3	500	1			v				
4	30	20	2	50	0,5	1	50	2	300	300														v			
5	1	20	1	200	1						10	20	2	50	0,1									v			
6	25	10	2	55	0,5											5	20	1	150	0,1				v			
7	0,3	15	0,5	850	1	2	20	2	800	100														v			
8	30	10	2	60	0,2						4	25	3	100	0,1										v		
9	1	10	2	190	2,1											1	20	1	900	0,2			v				
10	0,3	30	0,5	900	0,9	1	25	1	400	200															v		
11	0,5	50	1	600	0,9						5	20	1	80	0,1										v		
12	0,7	15	2	500	1,1											4	50	4	450	1					v		
13	0,1	20	1	800	2	5	10	3	700	200															v		
14	2,5	10	2	200	0,5						1	20	1	100	0,2											v	
15	12	10	3	200	0,2											2	20	1	900	4			v				
16	0,9	20	2	400	1	2	25	2	800	100																v	
17	1	20	1,5	190	1,5						10	25	1	50	0,1										v		
18	0,7	20	2	850	0,7											5	10	1	150	0,1					v		
19	0,5	20	2	700	0,9	4	20	3	400	200															v		
20	0,3	10	0,5	900	1						5	25	1	90	0,1											v	
21	0,5	10	2	850	0,5											4	20	2	500	1			v				
22	0,7	10	2	850	0,9	1	50	2	300	300																	
23	1	15	2	200	2,1						9	20	2	45	0,2												
24	0,4	15	1	850	1											3	15	2	160	0,1					v		
25	0,7	35	3	900	0,7	1	25	2	850	100																	
26	0,7	10	1	950	0,6						4	25	3	150	0,2												
27	1,1	12	1	200	2											2	25	1	800	0,2			v				
28	0,6	10	3	950	0,6	3	15	3	800	200																	
29	0,7	10	1	900	0,7						10	30	2	100	0,1												
30	1	15	2	190	2,1											3	40	2	550	1					v		

Примітки:

F, (кГц) – частота вхідної імпульсної послідовності;

K·100% – коефіцієнт заповнення (в %), тобто відношення тривалості вхідного імпульсу до періоду повторення вхідної імпульсної послідовності;

V, (В) – амплітуда вхідних імпульсів;

C, (нФ), R, (кОм) – номінальні значення величини конденсатора та резистора.

Зміст звіту

1. Схема дослідження **RC**-ланцюжка 1-го роду усіма вимірювальними приладами і графіками вхідних та вихідних сигналів. Обчислені значення сталої часу ланцюжка та тривалості імпульсу.

2. Схема дослідження **RC**-ланцюжка 2-го роду з усіма вимірювальними приладами. Графіки вхідних та вихідних сигналів. Приклад оформлення результатів експериментальних досліджень **RC**-ланцюжка 2-го роду приведений на рис. 7. Обчислені значення сталої часу ланцюжка та тривалості імпульсу.

3. Схема і результати дослідження **АЧХ** та **ФЧХ** для заданого типу **RC**-ланцюжка.

4. Висновки з поясненням усіх отриманих результатів.

Контрольні запитання

1. Привести схему **RC**-ланцюга, що розділяє (диференціює, інтегрує).

2. Яким чином змінюється напруга на елементах **RC**-ланцюга першого (другого) роду при впливі на нього прямокутного імпульсу?

3. Дати визначення сталої часу для **RC**-ланцюга.

4. Привести математичні вирази зміни напруги на елементах **RC** – ланцюга при впливі на нього імпульсу прямокутної форми.

5. Яким чином зміниться **АЧХ RC**-ланцюга першого (другого) роду, якщо величину конденсатора (резистора) збільшити (зменшити)?

6. При яких умовах **RC**-ланцюг виконує функції інтегрування, скорочування та диференціювання?

7. Яким чином можна зменшити викривлення фронтів імпульсів для **RC**-ланцюга другого роду?

8. Пояснити вплив елементів ланцюга на форму **АЧХ** та **ФЧХ**.

Довідкові дані

Для того, щоб виконати завдання лабораторного завдання, необхідно за допомогою засобів **Electronics Workbench** побудувати схему **RC**-ланцюжка (1-го або 2-го роду) з заданими згідно з варіантом параметрами. До входу схеми підключити функціональний генератор. Налаштувати його на генерацію позитивних прямокутних імпульсів із заданими параметрами напруги, частотою слідування та тривалості імпульсів. До виходу схеми підключити осцилограф і отримати сигнал напруги на вході та виході ланцюжка. Схема **RC**-ланцюжка другого роду

(RC -ланцюжок, що скорочує) з підключеною до нього всією необхідною контрольно-вимірювальною апаратурою наведена на рис. 7.

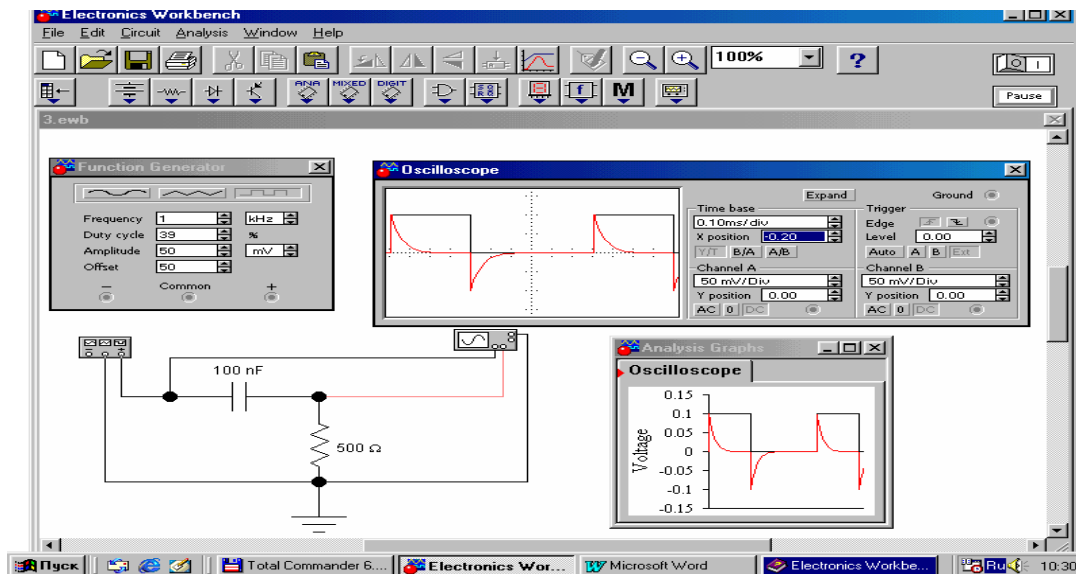


Рис. 7. Результати експериментальних досліджень RC -ланцюжка 2-го роду

Визначити сталу часу цього ланцюжка та тривалість вихідних імпульсів. Для визначення АЧХ та ФЧХ RC -ланцюжка, необхідно користуватися меню **Analysis** → **AC Frequency** у складі **Electronics Workbench**.

Література: [1-4; 7-9; 13]

Модуль 1. Комп'ютерна цифрова схемотехніка

ДОСЛІДЖЕННЯ СПОСОБІВ ЗАВДАННЯ ЛОГІЧНИХ ФУНКЦІЙ

Тема 2. Логічні основи побудови елементів

Лабораторне заняття № 2.

Мета заняття

Прищепити студентам навички експериментального дослідження властивостей різних способів завдання логічних функцій, а саме: табличного (одновходової та двохходової таблиць відповідності); цифрового (номерів одиничних, нульових та невизначених наборів); аналітичного (диз'юнктивної та кон'юнктивної нормальної форми).

Стислі теоретичні відомості

У математичній логіці основними поняттями є логічна змінна та логічна функція. Логічними змінними називаються знаки (символи), які приймають різні значення із відповідної області. Такі змінні будемо позначати, наприклад, буквами латинського алфавіту: x_i, \dots, x_2, x_1 , або y_i, \dots, y_2, y_1 . Якщо область значень логічних змінних вміщує два значення (нуль та одиниця $\{0, 1\}$), то такі змінні називають двійковими або булевими. Прийнято булеву змінну, значення якої дорівнюється нулю записувати із так званим знаком інверсії $\overline{x_i}$, а логічну змінну, що дорівнюється одиниці без інверсії - x_i .

Сукупність значень змінних утворюють набори значень змінних, або просто набори. Набори значень логічних змінних можна представляти у вигляді двійкових чисел, кожному з яких є власний десятковий еквівалент. Наступний приклад ілюструє відповідність набору логічних змінних конкретному числу в двійковій та десятковій системах числення:

$$x_4, \overline{x_3}, \overline{x_2}, x_1 = [1001]_2 = [9]_{10}.$$

Логічною функцією називається функція, залежна від логічних змінних та приймаюча значення з тієї множини, що й змінні, від яких вона залежить. Якщо кожному набору логічних змінних поставлено у відповідність значення логічної функції, та така функція носить назву повністю визначеної логічної функції, в іншому випадку – не повністю визначеної логічної функції. Набори, на яких логічна функція не задана, називаються невизначеними або умовними наборами.

Для завдання логічної функції необхідно вказати однозначну відповідність між наборами змінних і значеннями функції. Логічні функції можуть бути задані:

мовним описом;

таблицями відповідності;

номерами одиничних, (на яких функція дорівнюється одиниці), і нульових, (на яких функція дорівнюється нулю), а також невизначених наборах;

формулами (аналітичними виразами).

При мовному описуванні логічної функції повинні бути перераховані сукупності одиничних і нульових (невизначених) наборів або указані їх характерні властивості. Наприклад, логічна функція трьох змінних на кожному наборі приймає таке значення, яке приймають більшість змінних на цьому наборі, окрім наборів, на яких усі змінні рівні, оскільки на цих наборах логічна функція невизначена.

Завдання логічних функцій таблицями відповідності може бути виконано у вигляді одновходової та двовходової таблиці відповідності.

Одновходова таблиця відповідності для логічної функції, яка була задана мовним способом, показана на рис. 8.

ω	x_3	x_2	x_1	$F(x_3, x_2, x_1)$
0	0	0	0	~
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	~

Рис. 8. Одновходова таблиця відповідності

Розглянутий спосіб завдання логічних функцій доцільний для невеликої кількості змінних, оскільки зі зростанням кількості змінних n зростає кількість наборів логічної функції як 2^n , і таблиця відповідності виходить громіздкою.

Більш компактним способом завдання логічних функцій є використання двоходових таблиць відповідності.

Кожна клітинка таблиці відповідає одному набору значень логічних змінних, від яких залежить функція. У кожній клітинці таблиці проставляється значення функції на відповідному їй наборі. Кількість клітинок такої таблиці відповідає кількості всіх наборів змінних логічної функції - 2^n .

Приклад двовходової таблиці відповідності, мовний опис якої був приведений вище, представлений на рис. 9.

x_3	x_2x_1			
	00	01	11	10
0	~	0	1	0
1	0	1	~	1

Рис. 9. Двовходова таблиця відповідності

Зручним способом виконання завдання логічних функцій є використання номерів одиничних, нульових та невизначених наборів. Умовимося при завданні логічних функцій номери одиничних наборів записувати в квадратні дужки, нульові - в круглі, а невизначені – у фігурні скобки. Запис логічної функції в числовому вигляді здійснювати послідовно одиничними, нульовими та невизначеними наборами у відповідних дужках. За останньою дужкою вказувати систему числення. Для логічної функції, що розглядалася вище, відповідний запис буде мати такий вигляд:

$$F(x_3x_2x_1) = [3,5,6(1,2,4\{0,7\})]_{10}.$$

Треба зауважити наступне: представлена форма запису логічної функції має надмірність, оскільки для завдання неповністю визначеної логічної функції можна обмежитися завданням, наприклад, тільки одиничних та невизначених наборів, або нульових та невизначених наборів без втрати будь-якої інформації щодо властивостей логічної функції.

Широке розповсюдження отримало завдання логічних функцій за допомогою аналітичних виразів (формул). Перевагою такого способу завдання є можливість проведення еквівалентних перетворень логічних функцій. У булевій алгебрі (алгебрі логіці) основними аналітичними формами представлення логічних функцій є диз'юнктивна та кон'юнктивна форми.

Диз'юнктивною нормальною формою (ДНФ) логічної функції є диз'юнкція (логічне додавання) будь-якої кінцевої множини попарно

різних елементарних кон'юнкцій (логічних множень).

Для того щоб отримати **ДНФ** логічної функції, що задана вище іншими способами, необхідно для кожного набору логічних змінних, на якій функція рівняється одиниці, скласти елементарну кон'юнкцію всіх цих змінних. При цьому в кон'юнкцію входить сама змінна, якщо її значення рівняється одиниці, або інверсія, якщо її значення дорівнюється нулю. Отримані елементарні кон'юнкції об'єднуються знаком диз'юнкції:

$$F(x_3, x_2, x_1) = \overline{x_3}x_2x_1 \vee x_3\overline{x_2}x_1 \vee x_3x_2\overline{x_1}.$$

Кон'юнктивною нормальною формою (**КНФ**) логічної функції є кон'юнкція будь-якої кінцевої множини попарно різних елементарних диз'юнкцій.

Для того щоб отримати **КНФ** цієї ж логічної функції, необхідно для кожного набору логічних змінних, на якій функція рівняється нулю, скласти елементарну диз'юнкцію всіх цих змінних. При цьому в диз'юнкцію входить сама змінна, якщо її значення рівняється нулю, або інверсія, якщо її значення дорівнюється одиниці. Отримані елементарні диз'юнкції об'єднуються знаком кон'юнкції:

$$F(x_3, x_2, x_1) = (x_3 \vee x_2 \vee \overline{x_1})(\overline{x_3} \vee \overline{x_2} \vee x_1)(\overline{x_3} \vee x_2 \vee \overline{x_1}).$$

Рекомендації щодо підготовки до лабораторного Заняття

Кожному студенту пропонується виконати три завдання за індивідуальним варіантом. Для кожного завдання приведений розібраний приклад його виконання. Перед тим як приступити до виконання завдань, студенту рекомендується перевірити рівень своєї спроможності правильно виконати їх. Для цього він мусить повторити (або вивчити) теоретичний матеріал стосовно способів завдання логічних функцій і самостійно перевірити якість засвоєння цього навчального матеріалу за допомогою наданих питань для самоконтролю.

Питання для самоконтролю:

1. Дати визначення поняттям "логічна змінна", "логічна функція", "набір змінних логічної функції", "елементарна кон'юнкція (диз'юнкція)".
2. Назвати основні способи завдання логічних функцій.
3. Пояснити принцип побудови одноходової та двоходової таблиць відповідності логічної функції.
4. Які існують способи скорочення представлення логічної функції при табличному та числовому способах завдання?
5. Дати визначення диз'юнктивної нормальної форми (ДНФ) логічної функції.
6. Дати визначення кон'юнктивної нормальної форми (КНФ) логічної функції.
7. Які переваги має аналітичний спосіб завдання логічних функцій?

Завдання для опрацювання на лабораторному занятті

Завдання №1

Згідно з заданим варіантом (табл. 2) записати набір логічної функції восьми змінних $[x_8x_7x_6x_5x_4x_3x_2x_1]_2$ в десятковій системі числення, а набір логічної функції $[x_3x_2x_1]_{10}$ – в двійковій системі числення. Варіанти вихідних наборів задані в табл. 2.

Таблиця 2

Варіанти до завдання №1

№ варіанту	$[x_8x_7x_6x_5x_4x_3x_2x_1]_2$	$[x_3x_2x_1]_{10}$	№ варіанту	$[x_8x_7x_6x_5x_4x_3x_2x_1]_2$	$[x_3x_2x_1]_{10}$
1	2	3	4	5	6
1	10111011	139	16	11010110	163
2	11011001	177	17	11100010	151
3	11101000	193	18	01010011	211
4	11001110	155	19	01110010	184
5	01110001	208	20	11010111	131
6	01010010	228	21	01100010	192
7	01100011	171	22	01011011	216
8	11011010	136	23	11001101	153

1	2	3	4	5	6
9	01010111	195	24	11100110	131
10	11100001	165	25	01010111	212
11	01100001	200	26	01010001	227
12	01110001	220	27	11011000	168
13	11100101	159	28	11001100	203
14	01100011	219	29	11100111	179
15	11010101	186	30	11011101	147

Завдання №2.

Згідно з заданим варіантом, для логічної функції, яка приведена в табл. 3, виконати наступне:

знайти та записати, набори логічної функції яких недостає в таблиці;
представити задану логічну функцію в числовій формі;

представити задану логічну функцію за допомогою двоходової таблиці відповідності;

записати задану логічну функцію в досконалій диз'юнктивній нормальній формі;

записати задану логічну функцію в досконалій кон'юнктивній нормальній формі.

Таблиця 3

Варіанти до завдання № 2

№ варіанту	Одиничні набори $[x_4x_3x_2x_1]_2$	Нульові набори $[x_4x_3x_2x_1]_2$	Невизначені набори $[x_4x_3x_2x_1]_2$
1	2	3	4
1	0000, 1010, 1111	0011, 1000, 1101	?
2	0010, 0111, 1100	?	0001, 0101, 1011
3	?	0101, 1010, 1111	0100, 1000, 1110
4	0010, 1000, 1101	0001, 0111, 1011	?
5	0000, 0101, 1011	?	0100, 1010, 1110
6	?	0011, 1000, 1110	0001, 0111, 1101
7	0001, 1000, 1111	0100, 0111, 1001	?
8	0111, 1010, 1101	?	0010, 0100, 1011
9	?	0101, 0111, 1110	0000, 1010, 1101
10	0000, 0001, 1011	0100, 1001, 1100	?
11	0011, 1000, 1101	?	0010, 0110, 1100
12	?	0000, 0110, 1011	0101, 1001, 1111
13	0011, 1001, 1110	0010, 1000, 1100	?

Закінчення табл. 3

1	2	3	4
14	0001, 0110, 1100	?	0101, 1011, 1111
15	?	0100, 1001, 1111	0010, 1000, 1110
16	0010, 0100, 1001	0101, 1000, 1011	?
17	0011, 0101, 1100	?	1000, 1011, 1110
18	?	0111, 1000, 1110	0001, 1011, 1100
19	0001, 1000, 1010	0011, 1101, 1111	?
20	0000, 0101, 1010	?	0011, 1001, 1111
21	?	0100, 1001, 1110	0011, 0111, 1101
22	0001, 0111, 1100	0000, 0110, 1010	?
23	0100, 1010, 1111	?	0011, 1001, 1101
24	?	0010, 0111, 1101	0000, 0110, 1100
25	0000, 0111, 1110	0011, 0110, 1001	?
26	0001, 0011, 1010	?	0110, 1011, 1100
27	?	0100, 0110, 1101	1001, 1100, 1111
28	0000, 0111, 1001	0010, 1100, 1111	?
29	0010, 1001, 1011	?	0100, 1100, 1110
30	?	0001, 0110, 1011	0000, 0100, 1010

Завдання № 3.

Згідно з заданим варіантом (табл. 4) отримати досконалу диз'юнктивну та кон'юнктивну нормальні форми логічної функції.

Таблиця 4

Варіанти до завдання № 3

№ варіанту	Логічна функція $F(x_4x_3x_2x_1)$	№ варіанту	Логічна функція $F(x_4x_3x_2x_1)$
1	2	3	4
1	$\overline{x_4x_3} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1}$	16	$\overline{x_4x_3} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1}$
2	$\overline{x_3x_2} \vee \overline{x_4x_2x_1} \vee \overline{x_2}$	17	$\overline{x_4x_4x_3x_2} \vee \overline{x_3x_2}$
3	$\overline{x_3x_1x_4x_2} \vee \overline{x_3x_1}$	18	$\overline{x_4x_3} \vee \overline{x_2} \vee \overline{x_1} \vee \overline{x_4}$
4	$\overline{x_3x_2x_4} \vee \overline{x_2x_1}$	19	$\overline{x_2x_1} \vee \overline{x_3} \vee \overline{x_4x_1}$
5	$\overline{x_2x_1} \vee \overline{x_4x_3} \vee \overline{x_2x_1}$	20	$\overline{x_3x_2x_1} \vee \overline{x_4x_2}$
6	$\overline{x_4} \vee \overline{x_3x_1} \vee \overline{x_3x_2}$	21	$\overline{x_3x_2x_1} \vee \overline{x_3x_1} \vee \overline{x_4x_2}$
7	$\overline{x_2x_1} \vee \overline{x_3x_2} \vee \overline{x_3x_1}$	22	$\overline{x_4x_2} \vee \overline{x_3x_1} \vee \overline{x_4x_3x_1}$

1	2	3	4
8	$\overline{\overline{x_3 x_1} \overline{x_2 x_1} \overline{x_3 x_2} \overline{x_3 x_1}}$	23	$\overline{\overline{x_1 \vee x_3} \overline{x_2 x_1} \vee \overline{x_3 x_1} \vee x_2}$
9	$\overline{\overline{x_1 x_3} \overline{x_2} \overline{x_1 \vee x_3} \overline{x_1}}$	24	$\overline{\overline{x_3 x_1} \vee \overline{x_2} \vee \overline{x_4} \overline{x_1}}$
10	$\overline{\overline{x_2 x_1} \vee \overline{x_3} (\overline{x_3 \vee x_2}) \overline{x_3 x_1}}$	25	$\overline{\overline{x_4 x_3} \overline{x_4 x_2} \overline{x_1} \vee \overline{x_2} \overline{x_1}}$
11	$\overline{\overline{x_3} \overline{x_2} \vee \overline{x_4} \overline{x_1} \vee \overline{x_2} \vee \overline{x_4}}$	26	$\overline{\overline{x_3} \overline{x_2} \vee \overline{x_1} \vee \overline{x_4} \overline{x_1}}$
12	$\overline{\overline{x_4} \overline{x_3} \overline{x_2} \overline{x_1} \vee \overline{x_3} \overline{x_1}}$	27	$\overline{\overline{x_4} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1}}$
13	$\overline{(\overline{x_2} \vee \overline{x_1}) \overline{x_2} \overline{x_1} \overline{x_4} \overline{x_3}}$	28	$\overline{\overline{x_4} \vee \overline{x_3} \vee \overline{x_2} \overline{x_1} \vee \overline{x_3}}$
14	$\overline{\overline{x_1} \vee \overline{x_3} \overline{x_2} \overline{x_1} \vee \overline{x_2} \vee \overline{x_3}}$	29	$\overline{\overline{x_3} \vee \overline{x_1} \vee \overline{x_4} \vee \overline{x_2}}$
15	$\overline{\overline{x_4} \vee \overline{x_2} \overline{x_1} \overline{x_3}}$	30	$\overline{\overline{x_4} \overline{x_1} \vee \overline{x_3} \vee \overline{x_2} \vee \overline{x_2}}$

Зміст звіту

1. Умови завдання № 1 та результати його виконання.
2. Умови завдання № 2 та результати його виконання з необхідними коментаріями процедури отримання результатів.
3. Умови завдання № 3 та результати його виконання з необхідними поясненнями процедури отримання результатів.
4. Висновки.

Контрольні запитання

1. Навести приклад мовного завдання логічної функції.
2. Пояснити принцип побудови одновходової та двовходової таблиці відповідності.
3. Розкрити суть функціонально-повної системи логічних функцій.
4. Дати визначення неповністю визначеної логічної функції.
5. Які логічні функції називаються елементарними? Чому?
6. Пояснити суть правила де Моргана.
7. Які види диз'юнктивних та кон'юнктивних форм логічної функції вам відомі?
8. Яке співвідношення пов'язує кількість двійкових змінних логічної функції і кількість різних наборів, які можна отримати за допомогою цих двійкових змінних?

9. Як залежить кількість різних логічних функцій від кількості логічних змінних?
10. Що визначає термін "задати логічну функцію"?
11. Дати визначення та характеристики логічних функцій однієї змінної.
12. Дати визначення та характеристики основних логічних функцій двох змінних
13. Назвати основні аксіоми алгебри логіки.
14. Дати визначення досконалої диз'юнктивної нормальної форми (**ДДНФ**) логічної функції.
15. Дати визначення досконалої кон'юнктивної нормальної форми (**ДКНФ**) логічної функції.
16. Сформулювати правило перетворення **ДНФ** (**КНФ**) до досконалої форми.
17. Дати визначення конституенти одиниці та конституенти нуля логічної функції.

Довідкові дані

Варіант виконання завдання №1.

Наприклад, якщо задані наступні набори логічних змінних $[x_8 x_7 x_6 x_5 x_4 x_3 x_2 x_1]_2 = [01001101]_2$ та $[x_3 x_2 x_1]_2 = [53]_{10}$ то, згідно з правилом переведення чисел із однієї системи числення в іншу, рішення завдання буде мати вигляд:

$$[x_8 x_7 x_6 x_5 x_4 x_3 x_2 x_1]_2 = [01001101]_2 = [77]_{10} ;$$

$$[x_3 x_2 x_1]_2 = [53]_{10} = [110101]_2 .$$

Варіант виконання завдання №2

Наприклад, якщо логічна функція має одиничні набори $(0010, 1010, 1101)$, нульові набори $(0000, 0011, 1110)$, то рішення задачі буде мати наступний вигляд:

невизначеними наборами логічної функції будуть такі набори, які не увійшли до складу одиничних та нульових наборів логічної функції, тобто $(0001, 0100, 0101, 0110, 0111, 1000, 1001, 1011, 1100, 1111)$;

за допомогою числового способу завдання логічна функція буде мати вигляд:

$$F(x_4, x_3, x_2, x_1) = [2, 10, 13(0, 3, 14\{1, 4, 5, 6, 7, 8, 9, 11, 12, 15\})]_{10};$$

логічна функція, що задана двоховодовою таблицею відповідності, представлена на рис 10;

досконала диз'юнктивна нормальна форма логічної функції буде мати вигляд: $F(x_4, x_3, x_2, x_1) = \overline{x_4} \overline{x_3} \overline{x_2} \overline{x_1} \vee \overline{x_4} x_3 \overline{x_2} \overline{x_1} \vee \overline{x_4} x_3 x_2 \overline{x_1}$;

досконала кон'юнктивна нормальна форма логічної функції буде мати вигляд:

$$F(x_4, x_3, x_2, x_1) = (x_4 \vee x_3 \vee x_2 \vee x_1) \wedge (x_4 \vee x_3 \vee \overline{x_2} \vee \overline{x_1}) \wedge (\overline{x_4} \vee \overline{x_3} \vee \overline{x_2} \vee x_1)$$

$x_4 x_3$	$x_2 x_1$			
	00	01	11	10
00	0	~	0	1
01	~	~	~	~
11	~	1	~	0
10	~	~	~	1

Рис.10. Табличне представлення логічної функції

Варіант виконання завдання №3

Якщо, наприклад, логічна функція задана аналітичним виразом $F(x_4 x_3 x_2 x_1) = \overline{x_4} \overline{x_3} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1}$, то для отримання її доскопалої диз'юнктивної нормальної форми необхідно на першому етапі позбавитися загальних інверсій (заперечень) за допомогою правила де Моргана, а потім перетворити вираз таким чином, щоб у кожній елементарній кон'юнкції були присутні всі змінні від яких залежить логічна функція.

1 етап

$$F(x_4 x_3 x_2 x_1) = \overline{x_4} \overline{x_3} \vee \overline{x_2} \vee \overline{x_3} \vee \overline{x_1} = \overline{x_4} \overline{x_3} \vee \overline{x_2} \wedge \overline{x_3} \vee \overline{x_1} = \overline{x_4} \overline{x_3} \vee \overline{x_2} \wedge (\overline{x_3} \vee \overline{x_1}) = \overline{x_4} \overline{x_3} \vee \overline{x_3} \overline{x_2} \vee \overline{x_1} \overline{x_2}$$

2 етап

Для отримання доскопалої диз'юнктивної нормальної форми необхідно кожну елементарну кон'юнкцію помножити на вираз $(x_i \vee \overline{x_i})$, де i - рівняється індексу змінної, якої не вистачає в цій елементарній

кон'юнкції.

$$\begin{aligned}
 F(x_4 x_3 x_2 x_1) &= \overline{x_4 x_3} \vee \overline{x_3 x_2} \vee \overline{x_2 x_1} = \overline{x_4 x_3} (x_2 \vee \overline{x_2}) (x_1 \vee \overline{x_1}) \vee \\
 &\quad \vee \overline{x_3 x_2} (x_4 \vee \overline{x_4}) (x_1 \vee \overline{x_1}) \vee \overline{x_2 x_1} (x_4 \vee \overline{x_4}) (x_3 \vee \overline{x_3}) = \\
 &= \overline{x_4 x_3 x_2 x_1} \vee \overline{x_4 x_3 x_2} \overline{x_1} \vee \overline{x_4 x_3} \overline{x_2} \overline{x_1} \vee \overline{x_4 x_3} \overline{x_2} x_1 \vee \\
 &\quad \vee \overline{x_4 x_3} x_2 \overline{x_1} \vee \overline{x_4 x_3} x_2 x_1 \vee \overline{x_4} \overline{x_3} \overline{x_2} \overline{x_1} \vee \overline{x_4} \overline{x_3} \overline{x_2} x_1 \vee \\
 &\quad \vee \overline{x_4} \overline{x_3} x_2 \overline{x_1} \vee \overline{x_4} \overline{x_3} x_2 x_1 \vee \overline{x_4} x_3 \overline{x_2} \overline{x_1} \vee \overline{x_4} x_3 \overline{x_2} x_1 \vee \\
 &\quad \vee \overline{x_4} x_3 x_2 \overline{x_1} \vee \overline{x_4} x_3 x_2 x_1 \vee \overline{x_4} x_3 \overline{x_2} \overline{x_1} \vee \overline{x_4} x_3 \overline{x_2} x_1 \vee \\
 &\quad \vee \overline{x_4} x_3 x_2 x_1 \vee \overline{x_4} x_3 \overline{x_2} \overline{x_1} \vee \overline{x_4} x_3 \overline{x_2} x_1 \vee \overline{x_4} x_3 x_2 \overline{x_1} \vee \\
 &\quad \vee \overline{x_4} x_3 x_2 x_1.
 \end{aligned}$$

3 етап

Для отримання досконалої кон'юнктивної нормальної форми логічної функції необхідно всі нульові набори логічної функції записати у вигляді елементарних диз'юнкцій та з'єднати їх знаками кон'юнкцій. Для цього зручно представити отриману логічну функції в числовій формі:

$$F(x_4 x_3 x_2 x_1) = [1, 4, 5, 8, 9, 10, 11, 12, 13(0, 2, 3, 6, 7, 14, 15)]_{16}.$$

4 етап

З отриманої числової форми представлення логічної функції можна легко записати її досконалу кон'юнктивну нормальну форму:

$$\begin{aligned}
 F(x_4 x_3 x_2 x_1) &= (x_4 \vee x_3 \vee x_2 \vee x_1)(\overline{x_4} \vee \overline{x_3} \vee \overline{x_2} \vee \overline{x_1}) \\
 &\quad (x_4 \vee x_3 \vee \overline{x_2} \vee \overline{x_1})(\overline{x_4} \vee \overline{x_3} \vee x_2 \vee x_1) \\
 &\quad (x_4 \vee \overline{x_3} \vee \overline{x_2} \vee \overline{x_1})(\overline{x_4} \vee \overline{x_3} \vee x_2 \vee x_1) \\
 &\quad (\overline{x_4} \vee \overline{x_3} \vee \overline{x_2} \vee \overline{x_1}).
 \end{aligned}$$

Література: [1-4; 6; 11; 13; 15]

Модуль 1. Комп'ютерна цифрова схемотехніка

МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ ЗА ДОПОМОГОЮ КАРТ КАРНО

Тема 2. Логічні основи побудови елементів

Лабораторне заняття № 3

Мета заняття

Прищепити студентам практичні навички мінімізації логічних функцій чотирьох та п'яти змінних за допомогою карт Карно, а саме: визначати правильні контури простих імплікант та простих імпліцент; записувати їх відповідними аналітичними виразами; отримувати мінімальні диз'юнктивні та кон'юнктивні форми логічних функцій.

Стислі теоретичні відомості

Процес перетворення логічної функції, при якому знаходиться найбільш простий її вираз у вигляді суперпозиції функцій, що входять до якої-небудь фіксованої функціонально повної системи логічних функцій, називають **мінімізацією**.

Система логічних функцій називається **функціонально повною**, якщо будь-яка логічна функція може бути представлена суперпозицією цих функцій, взятих в будь-якому будь-якому кінцевому числі екземплярів.

Функціонально повними системами логічних функцій є системи логічних функцій **I-АБО-НІ**, функції **Шеффера (I-НІ)**, функції **Пірса (АБО-НІ)**.

Задача мінімізації логічної функції зводиться до знаходження такої її форми, яка вміщує найменшу кількість елементарних логічних функцій: диз'юнкцій, кон'юнкцій та інверсій.

При вирішенні задачі мінімізації логічних функцій, що залежать від невеликої кількості логічних змінних, знаходять широко розповсюджені графічні методи.

Карта Карно представляє собою двовходову таблицю, сусіднім

строкам та стовпцям якої поставлено у відповідність сусідні набори значень змінних логічної функції. Крім того, сусідніми є набори, що поставлені у відповідність до першого та останнього стовпця, а також до першої й останньої строки.

Сусідніми називаються такі набори, при яких вони відрізняються значенням тільки однієї змінної, наприклад, $\overline{x_4}x_3x_2x_1$ та $x_4x_3x_2x_1$.

Використання карт Карно для представлення та мінімізації логічних функцій ґрунтується на використанні здібностей людини до швидкої побудови зорових образів-контурів.

Карти Карно доцільно використовувати для мінімізації логічних функцій не більше як 3, 4, 5, 6-ти змінних. Вигляд карти Карно для 3-х, 4-х та 5-и змінних представлений на рис. 11. Кожна клітинка карти Карно пронумерована за десятковою системою числення.

x_3	x_2x_1			
	00	01	11	10
0	0	1	3	2
1	4	5	7	6

Карта Карно для логічної функції 3-х змінних

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Карта Карно для логічної функції 4-х змінних

x_5x_4	$x_3x_2x_1$							
	000	010	110	100	101	111	011	001
00	0	2	6	4	5	7	3	1
10	16	18	22	20	21	23	19	17
11	24	26	32	28	29	31	27	25
01	8	10	14	12	13	15	11	9

Карта Карно для логічної функції 5-и змінних

Рис. 11. Карты Карно для логічних функцій 3-х, 4-х та 5-и змінних

Для мінімізації логічних функцій на карті Карно проводять максимальні правильні контури. Максимальний правильний контур – це

контур, який не становить частини другого контура і охоплює $1,2,4,\dots,2^n$ клітинок, які відповідають одиничним (нульовим) або одиничним (нульовим) та невизначеним наборам логічної функції, тобто контур може охоплювати не тільки одиничні або нульові набори, але й одиничні з невизначеними, чи нульові з невизначеними наборами.

x_3	x_2x_1			
	00	01	11	10
0	0	1	3	2
1	4	5	7	6

Карта Карно для логічної функції 3-х змінних

x_3	x_2x_1			
	00	01	11	10
0	0	1	3	2
1	4	5	7	6

Карта Карно для логічної функції 3-х змінних

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Карта Карно для логічної функції 4-х змінних

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Карта Карно для логічної функції 4-х змінних

x_5x_4	$x_3x_2x_1$							
	000	010	110	100	101	111	011	001
00	0	2	6	4	5	7	3	1
10	16	18	22	20	21	23	19	17
11	24	26	32	28	29	31	27	25
01	8	10	14	12	13	15	11	9

Карта Карно для логічної функції 5-и змінних

Рис. 12. Основні типові варіанти об'єднання контурів для логічних функцій 3-х, 4-х, та 5-и змінних

Для здійснення мінімізації логічних функцій за допомогою карти Карно необхідно знайти таку повну сукупність максимальних правильних контурів, в якій жодний контур не був би зайвим. Контур не буде зайвим,

якщо він охоплює хоча б одну клітину, яка вміщує одиницю (нуль) і не охоплювана жодним іншим контуром. Сукупність контурів буде повною, якщо будуть охоплені всі одиничні (нульові) набори логічної функції. Після цього необхідно виписати відповідні контурам прості імпліканти (імпліценти) та об'єднати їх знаком диз'юнкції (кон'юнкції).

Для того, щоб правильно записати просту імпліканту (імпліценту) за допомогою карти Карно, необхідно виписати всі змінні, які не змінюють свого значення у всіх клітинках цього контуру, записати їх у вигляді кон'юнкції (диз'юнкції) та поставити знаки інверсії над тими змінними - значення яких не співпадає зі значенням функції в цьому контурі.

Рекомендації щодо підготовки до лабораторного заняття

Кожному студенту пропонується виконати шість завдань за індивідуальним варіантом. Для кожного завдання приведений приклад його виконання. Перед тим як приступити до виконання завдання, необхідно перевірити рівень своєї спроможності виконати ці завдання. Для цього кожний студент мусить повторити (або вивчити) теоретичний матеріал стосовно мінімізації логічних функцій за допомогою карт Карно і перевірити якість засвоєння цього навчального матеріалу за допомогою наданих питань для самоперевірки. Правильна відповідь на всі питання є необхідною і достатньою умовою успішного виконання цього заняття.

Завдання та їх рішення оформляються у вигляді друкованого або письмового звіту.

Питання для самоконтролю:

1. Дати визначення карті Карно.
2. Пояснити принцип побудови карти Карно для функції трьох (чотирьох) змінних.
3. Які набори логічних змінних називаються сусідніми?
4. Які клітинки карти Карно називаються сусідніми?
5. Скільки клітинок карти Карно може охоплювати правильний контур?
6. Чи можна клітинки з невизначеними наборами логічної функції включати до правильних контурів карти Карно? Чому?
7. Сформулювати правило визначення аналітичного виразу для відповідного контуру, який охоплює одиничні набори логічної функції на карті Карно.

8. Сформулювати правило визначення аналітичної виразу для відповідного контуру, який охоплює нульові набори логічної функції на карті Карно.

9. Дати визначення імпліканті (імпліценті), простій імпліканті (простій імпліценті).

10. Визначити порядок отримання мінімальних форм логічної функції за допомогою карти Карно.

Завдання для опрацювання на лабораторному занятті

Завдання №1

Згідно з заданим варіантом карти Карно (рис.13) записати виділені імпліканти в аналітичному вигляді.

№ 1

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	1	1	0	0
10	0	0	1	0

№ 2

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	1
01	0	1	1	0
11	0	1	1	0
10	0	1	1	1

№ 3

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	0	0
01	1	0	0	1
11	0	1	1	0
10	0	1	1	0

№4

x_4x_3	x_2x_1			
	00	01	11	10
00	1	1	0	0
01	1	0	1	1
11	0	0	1	1
10	1	1	0	0

№5

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	1	1	0	1
10	1	1	0	1

№6

x_4x_3	x_2x_1			
	00	01	11	10
00	1	1	0	0
01	1	1	1	0
11	0	0	1	1
10	0	0	1	1

№7

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	1	0	0	0
10	1	0	0	0

№8

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	1	0
01	0	1	1	1
11	1	1	1	0
10	0	1	1	0

№9

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	1	1
01	0	0	1	1
11	0	1	1	0
10	1	1	1	1

№10

X_4X_3	X_2X_1			
	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	1	0	1	1
10	1	0	0	1

№11

X_4X_3	X_2X_1			
	00	01	11	10
00	0	0	1	0
01	1	0	1	0
11	0	0	1	0
10	1	1	1	1

№12

X_4X_3	X_2X_1			
	00	01	11	10
00	1	1	0	1
01	0	0	0	1
11	1	1	0	1
10	0	0	0	1

№13

X_4X_3	X_2X_1			
	00	01	11	10
00	0	1	1	0
01	1	1	0	1
11	1	1	0	1
10	0	1	1	0

№14

X_4X_3	X_2X_1			
	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	1	1	1	0
10	1	1	0	0

№15

X_4X_3	X_2X_1			
	00	01	11	10
00	1	1	0	1
01	0	0	0	1
11	0	1	0	0
10	0	0	0	0

№16

X_4X_3	X_2X_1			
	00	01	11	10
00	0	1	1	0
01	1	0	0	0
11	1	0	0	0
10	0	1	1	1

№17

X_4X_3	X_2X_1			
	00	01	11	10
00	1	0	0	1
01	1	1	1	1
11	0	1	0	0
10	1	0	0	1

№18

X_4X_3	X_2X_1			
	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	0	0
10	0	1	0	0

№19

X_4X_3	X_2X_1			
	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	1	1	0	1
10	0	0	1	0

№20

X_4X_3	X_2X_1			
	00	01	11	10
00	1	0	0	1
01	0	1	0	0
11	0	1	1	0
10	0	1	1	0

№21

X_4X_3	X_2X_1			
	00	01	11	10
00	0	1	0	1
01	1	0	0	1
11	1	0	0	1
10	0	1	0	1

№22

X_4X_3	X_2X_1			
	00	01	11	10
00	0	1	0	0
01	0	1	1	1
11	0	0	1	1
10	1	0	0	0

№23

X_4X_3	X_2X_1			
	00	01	11	10
00	1	1	0	0
01	1	1	0	1
11	1	1	0	0
10	1	1	1	0

№24

X_4X_3	X_2X_1			
	00	01	11	10
00	1	0	1	1
01	0	0	1	1
11	0	1	0	0
10	1	0	0	1

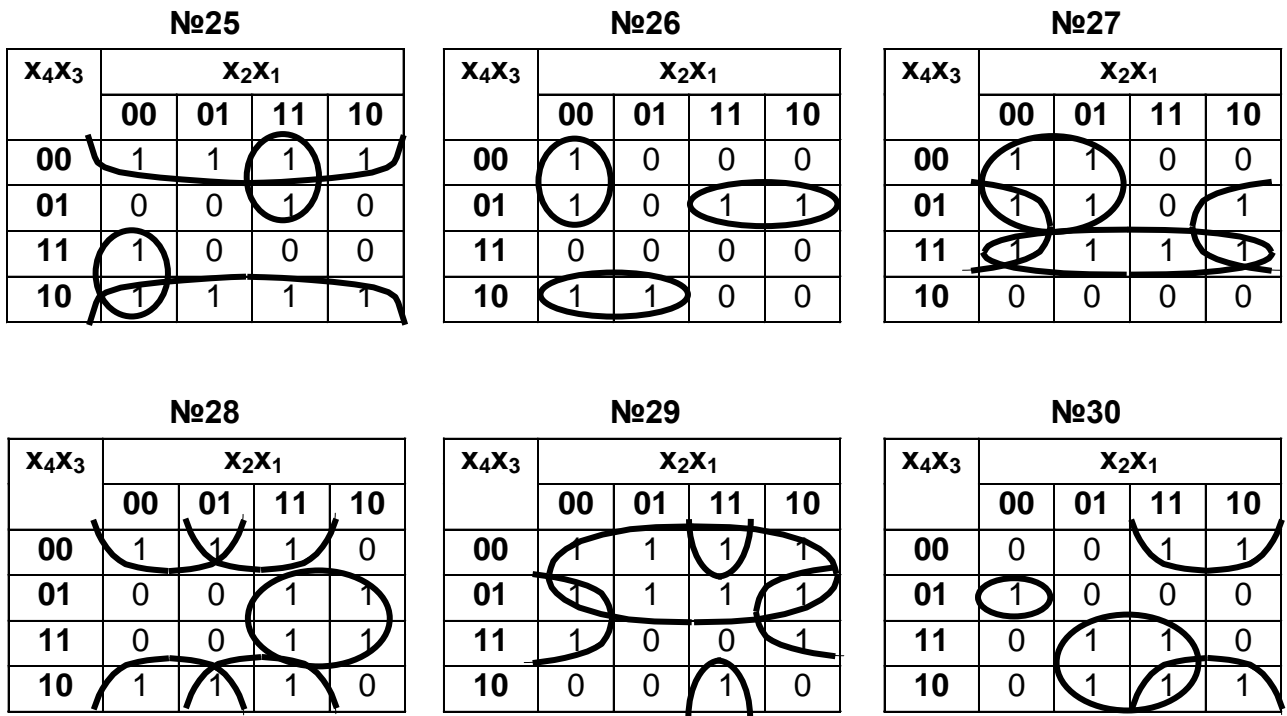
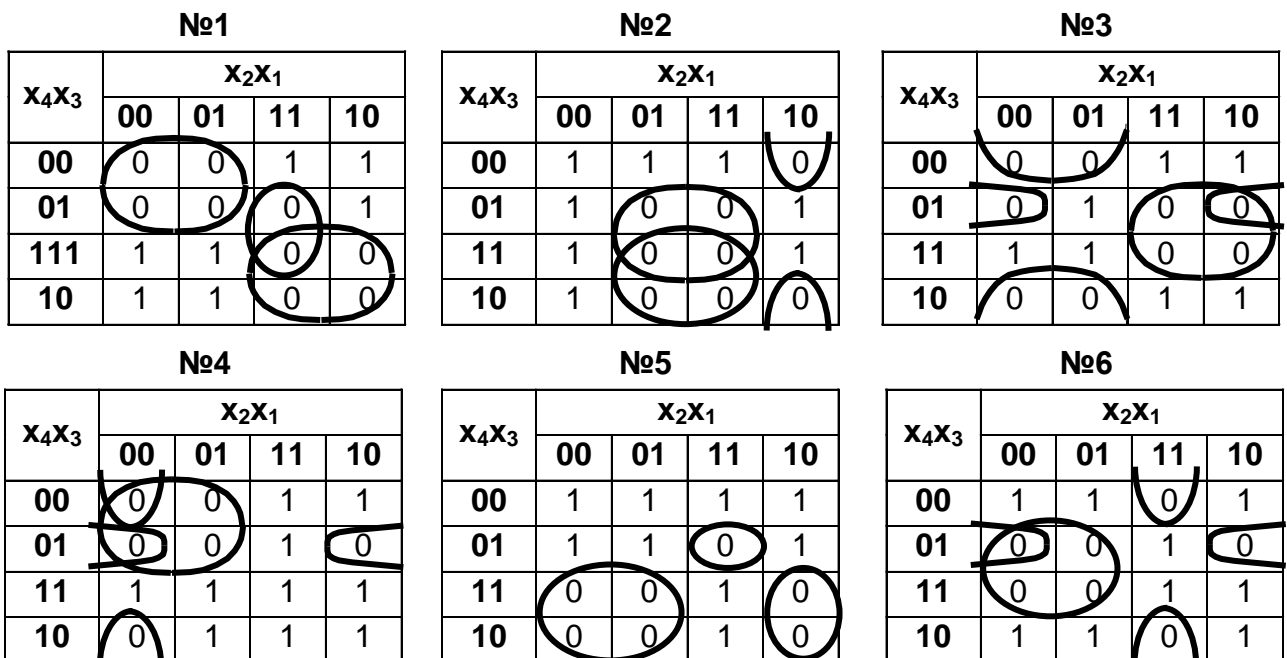


Рис.13. Варіанти до завдання № 1

Завдання №2

Згідно з заданим варіантом карти Карно (рис.14) записати виділені імпліценти в аналітичному вигляді.



№7

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	0	1	0
01	1	1	1	0
11	0	0	1	0
10	1	1	1	0

№8

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	0	1
01	1	0	0	0
11	0	0	0	1
10	1	0	0	1

№9

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	1	0	0
10	0	1	1	0

№10

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	1	0	0
01	1	1	0	0
11	1	0	0	1
10	0	0	0	0

№11

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	1	0	1
01	0	1	0	1
11	1	1	0	1
10	0	0	0	0

№12

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	0	0
01	1	0	0	0
11	0	1	1	1
10	0	1	1	1

№13

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	0	0	1	1
10	1	0	1	1

№14

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	0	0	0	1
10	0	0	1	1

№15

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	0	1
01	0	1	1	1
11	0	1	1	1
10	1	0	0	0

№16

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	0	1	0
01	1	1	1	0
11	1	0	1	1
10	1	1	1	1

№17

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	1	1	0
01	0	0	0	0
11	1	0	1	1
10	0	1	1	0

№18

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	0	1
01	0	0	1	0
11	0	0	1	0
10	1	0	0	1

№19

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	1	0	0
01	1	1	0	1
11	1	0	1	1
10	0	1	1	0

№20

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	0	1	1	0
01	1	0	1	1
11	1	0	0	1
10	1	0	0	1

№21

X ₄ X ₃	X ₂ X ₁			
	00	01	11	10
00	1	0	1	1
01	1	0	0	0
11	1	1	0	0
10	0	1	1	1

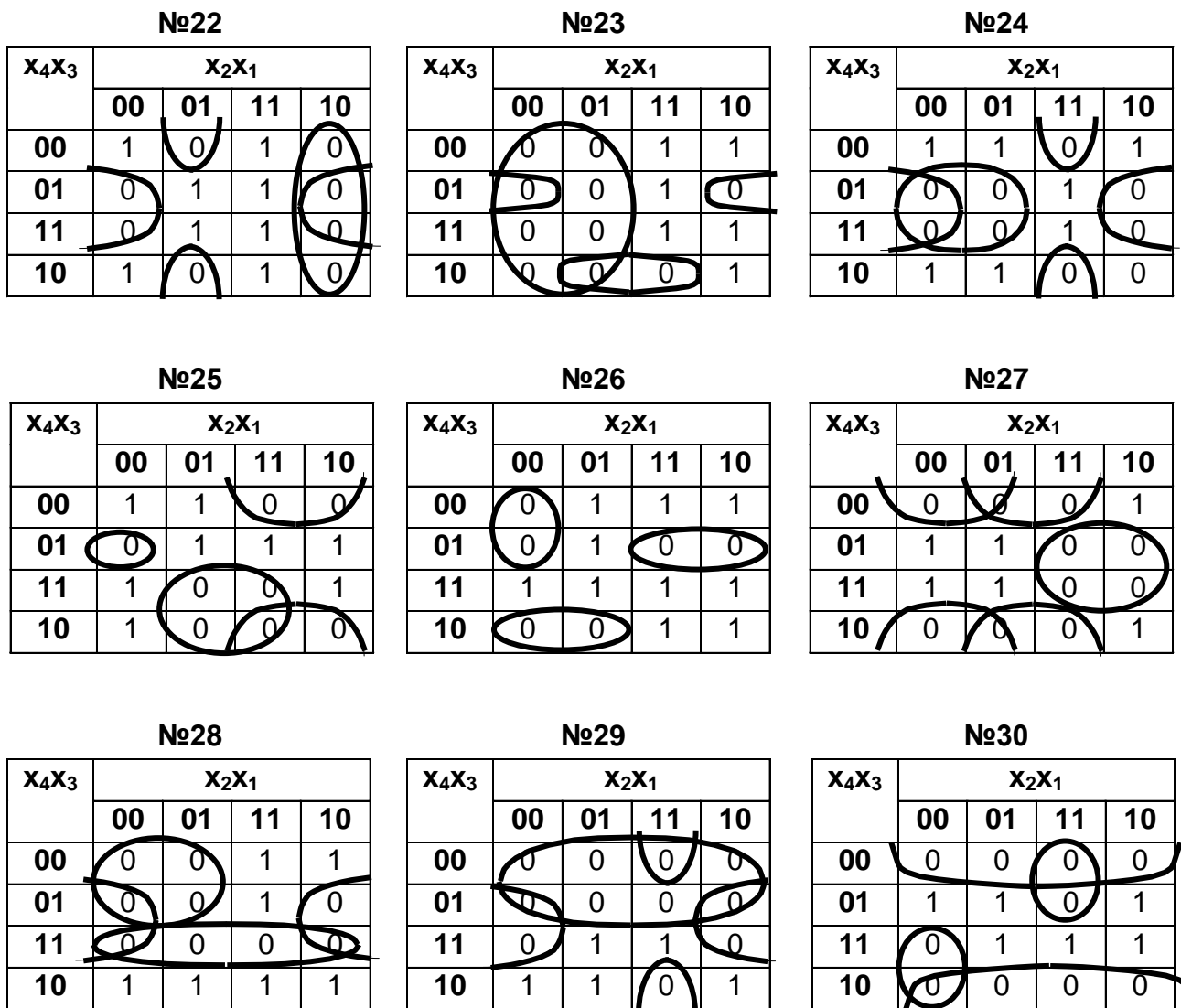


Рис. 14. Варіанти до завдання № 2

Завдання №3

Логічна функція представлена в диз'юнктивній нормальній формі. Відповідно до заданого варіанта (табл. 5), визначити всі номери клітинок карти Карно, які входять до складу контурів, що відповідають імплікантам логічної функції.

Таблиця 5

Варіанти до завдання № 3

№ варіанту	Логічна функція $F(x_4x_3x_2x_1)$	№ варіанту	Логічна функція $F(x_4x_3x_2x_1)$
1	2	3	4
1	$\overline{x_2} \overline{x_1} \vee x_3 x_2 x_1 \vee \overline{x_4} \overline{x_2}$	16	$x_4 \vee \overline{x_4} \overline{x_2} \vee x_3 x_2 x_1$

1	2	3	4
2	$x_2 \vee x_3 x_1 \vee \overline{x_2} x_1$	17	$\overline{x_2} \vee \overline{x_3} \vee x_4 x_3 x_1$
3	$\overline{x_4} \vee x_4 x_3 \vee x_2 x_1$	18	$x_1 \vee x_2 x_1 \vee x_4 x_3 x_2$
4	$x_1 \vee \overline{x_2} x_1 \vee x_3 \overline{x_2} x_1$	19	$x_4 x_3 \vee \overline{x_4} x_1 \vee x_2$
5	$\overline{x_3} x_2 x_1 \vee x_4 x_3 \overline{x_2} x_1$	20	$x_2 x_1 \vee x_4 x_3 \overline{x_2} \vee x_4 x_2$
6	$x_2 x_1 \vee x_3 x_1 \vee x_3 \overline{x_2} x_1$	21	$x_4 x_3 x_2 \vee \overline{x_4} x_3 \vee \overline{x_3} x_2$
7	$\overline{x_3} x_2 x_1 \vee \overline{x_3} x_2 x_1 \vee \overline{x_4} x_2$	22	$\overline{x_4} x_1 \vee \overline{x_3} x_2 x_1 \vee x_2$
8	$x_1 \vee \overline{x_4} x_2 \vee x_3 \overline{x_1} \vee x_4 \overline{x_1}$	23	$\overline{x_4} x_3 x_2 \vee x_4 x_2 \vee \overline{x_3}$
9	$x_3 x_2 \vee x_2 x_1 \vee x_4 x_1$	24	$x_2 x_1 \vee \overline{x_3} x_2 \vee x_4 x_2$
10	$\overline{x_2} x_1 \vee \overline{x_3} \vee x_4 x_3 x_2 x_1$	25	$x_3 x_2 \vee x_4 x_3 x_2 \vee \overline{x_1}$
11	$\overline{x_3} x_2 x_1 \vee x_4 x_2 \vee x_4 x_3 x_2$	26	$x_4 x_3 \vee x_3 x_1 \vee x_4 x_1$
12	$\overline{x_4} x_1 \vee x_3 x_1 \vee x_3 \overline{x_2} x_1$	27	$x_4 \vee x_2 x_1 \vee x_3 x_1$
13	$\overline{x_2} x_1 \vee x_3 x_1 \vee x_4 x_3 \overline{x_2} x_1$	28	$\overline{x_3} x_1 \vee x_4 x_2 x_1 \vee \overline{x_3} x_2$
14	$x_2 \vee \overline{x_3} \vee x_3 \overline{x_2} x_1$	29	$x_2 x_1 \vee x_3 x_1 \vee \overline{x_3} x_2$
15	$\overline{x_4} \vee \overline{x_3} \vee x_3 \overline{x_2} x_1$	30	$x_3 x_1 \vee \overline{x_3} x_2 x_1 \vee x_4$

Завдання №4

Логічна функція представлена в кон'юнктивній нормальній формі. Відповідно до заданого варіанта (табл. 6), визначити всі номери клітинок карти Карно, які входять до складу контурів, що відповідають імпліцентам логічної функції.

Таблиця 6

Варіанти до завдання № 4

№ варіанту	Логічна функція $F(x_4 x_3 x_2 x_1)$	№ варіанту	Логічна функція $F(x_4 x_3 x_2 x_1)$
1	2	3	4
1	$\overline{x_1} \wedge (\overline{x_3} \vee x_2) \wedge (x_4 \vee \overline{x_2})$	16	$(\overline{x_2} \vee x_1) \wedge (\overline{x_3} \vee x_1) \wedge (\overline{x_4} \vee x_2)$
2	$\overline{x_2} \wedge (\overline{x_3} \vee x_1) \wedge (\overline{x_4} \vee x_1)$	17	$(\overline{x_4} \vee x_2 \vee x_1) \wedge (\overline{x_4} \vee x_1) \wedge (\overline{x_3} \vee x_2)$
3	$(x_4 \vee \overline{x_2}) \wedge (\overline{x_3} \vee x_1) \wedge (\overline{x_4} \vee x_2)$	18	$(\overline{x_3} \vee x_1) \wedge (\overline{x_4} \vee x_2) \wedge (\overline{x_3} \vee x_2)$

1	2	3	4
4	$\overline{x_2} \wedge (\overline{x_3} \vee x_1) \wedge (x_4 \vee x_2)$	19	$x_2 \wedge (x_3 \vee \overline{x_1}) \wedge (\overline{x_4} \vee x_2)$
5	$x_3 \wedge (\overline{x_4} \vee \overline{x_1}) \wedge (\overline{x_4} \vee x_2)$	20	$\overline{x_3} \wedge (\overline{x_4} \vee x_1) \wedge (x_4 \vee \overline{x_2})$
6	$x_4 \wedge (x_2 \vee \overline{x_1}) \wedge (x_3 \vee \overline{x_2})$	21	$\overline{x_4} \wedge (\overline{x_2} \vee \overline{x_1}) \wedge (\overline{x_3} \vee x_2)$
7	$(x_3 \vee x_2 \vee \overline{x_1}) \wedge (\overline{x_4} \vee \overline{x_1}) \wedge (x_4 \vee x_3)$	22	$(\overline{x_4} \vee x_1) \wedge (\overline{x_3} \vee \overline{x_2}) \wedge (\overline{x_4} \vee x_3 \vee \overline{x_2})$
8	$(x_4 \vee \overline{x_1}) \wedge (x_3 \vee \overline{x_2}) \wedge (\overline{x_4} \vee x_3 \vee \overline{x_1})$	23	$(x_3 \vee x_1) \wedge (x_4 \vee x_2) \wedge (x_3 \vee x_2 \vee x_1)$
9	$(x_3 \vee \overline{x_1}) \wedge (x_4 \vee \overline{x_2}) \wedge (x_4 \vee x_3)$	24	$\overline{x_1} \wedge (\overline{x_4} \vee \overline{x_2}) \wedge (x_4 \vee x_3 \vee x_2 \vee \overline{x_1})$
10	$(x_3 \vee \overline{x_1}) \wedge (x_4 \vee \overline{x_2}) \wedge (x_4 \vee x_3)$	25	$x_1 \wedge (x_4 \vee \overline{x_3}) \wedge (x_4 \vee x_3 \vee x_2)$
11	$(x_3 \vee x_2) \wedge (\overline{x_4} \vee \overline{x_2}) \wedge (x_4 \vee x_3)$	26	$(\overline{x_3} \vee x_1) \wedge (\overline{x_4} \vee x_2) \wedge (\overline{x_3} \vee \overline{x_2})$
12	$(x_3 \vee x_2) \wedge (\overline{x_4} \vee \overline{x_2}) \wedge (x_4 \vee x_3)$	27	$(\overline{x_3} \vee x_2) \wedge (\overline{x_4} \vee \overline{x_2}) \wedge (x_2 \vee x_1)$
13	$(x_3 \vee x_2) \wedge (\overline{x_4} \vee \overline{x_2}) \wedge (x_4 \vee x_3)$	28	$(\overline{x_3} \vee \overline{x_2}) \wedge (\overline{x_4} \vee \overline{x_1}) \wedge (x_4 \vee x_3)$
14	$\overline{x_2} \wedge (x_2 \vee x_1) \wedge (x_3 \vee \overline{x_1})$	29	$(\overline{x_2} \vee x_1) \wedge (x_4 \vee \overline{x_3}) \wedge (\overline{x_4} \vee x_2)$
15	$(x_2 \vee \overline{x_1}) \wedge (x_3 \vee x_2) \wedge (x_4 \vee \overline{x_3})$	30	$\overline{x_3} \wedge (\overline{x_2} \vee x_1) \wedge (x_4 \vee x_3 \vee x_1)$

Завдання №5

Логічна функція задана не на всіх наборах логічних змінних і представлена у вигляді двоходової таблиці відповідності. Для заданого варіанта (рис.15) здійснити мінімізацію логічної функції в диз'юнктивній або кон'юнктивній нормальній формі.

№1

x_4x_3	x_2x_1			
	00	01	11	10
00	~	0	~	1
01	~	1	~	0
11	~	1	0	0
10	~	1	~	~

№2

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	0	1
01	1	1	~	~
11	0	0	1	~
10	1	1	~	~

№3

x_4x_3	x_2x_1			
	00	01	11	10
00	1	1	1	0
01	0	~	1	0
11	0	~	~	0
10	1	1	~	~

№4

x_4x_3	x_2x_1			
	00	01	11	10
00	~	~	0	~
01	~	1	1	~
11	1	0	0	1
10	0	~	~	0

№5

x_4x_3	x_2x_1			
	00	01	11	10
00	~	1	1	~
01	0	1	~	0
11	0	1	~	1
10	0	~	0	1

№6

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	1	~
01	~	0	1	1
11	~	1	0	1
10	1	~	~	0

№7

x_4x_3	x_2x_1			
	00	01	11	10
00	~	0	~	~
01	0	0	0	1
11	~	1	~	1
10	1	0	~	~

№8

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	0	~
01	~	1	~	1
11	~	~	1	0
10	~	0	0	0

№9

x_4x_3	x_2x_1			
	00	01	11	10
00	~	~	1	~
01	~	0	0	~
11	0	0	1	~
10	1	1	1	1

№10

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	~	1
01	~	0	~	0
11	~	1	0	1
10	~	1	0	1

№11

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	1	~
01	1	~	0	~
11	~	1	1	~
10	0	1	~	0

№12

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	1	1
01	1	0	0	0
11	1	1	~	~
10	1	0	1	1

№13

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	~	~
01	~	0	~	1
11	1	~	1	0
10	0	~	~	1

№14

x_4x_3	x_2x_1			
	00	01	11	10
00	~	0	1	1
01	~	1	0	1
11	~	~	~	0
10	0	1	1	0

№15

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	~	0
01	0	1	~	~
11	~	0	1	1
10	~	0	1	0

№16

x_4x_3	x_2x_1			
	00	01	11	10
00	1	0	1	~
01	0	1	1	1
11	0	0	0	
10	~	~	1	~

№17

x_4x_3	x_2x_1			
	00	01	11	10
00	~	0	1	0
01	~	~	~	~
11	1	1	1	0
10	0	~	~	0

№18

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	0	1
01	~	1	1	1
11	~	1	~	1
10	1	~	0	~

№19

x_4x_3	x_2x_1			
	00	01	11	10
00	~	0	1	~
01	0	1	~	0
11	0	~	~	0
10	1	0	~	1

№20

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	~	1
01	~	~	0	1
11	1	0	1	1
10	~	1	1	~

№21

x_4x_3	x_2x_1			
	00	01	11	10
00	0	~	~	1
01	0	1	~	0
11	1	~	1	0
10	1	1	~	1

№22					№23					№24				
X_4X_3	X_2X_1				X_4X_3	X_2X_1				X_4X_3	X_2X_1			
	00	01	11	10		00	01	11	10		00	01	11	10
00	0	0	0	0	00	~	1	0	0	00	~	1	1	1
01	0	1	~	1	01	0	~	0	0	01	1	~	~	0
11	1	~	~	1	11	1	~	0	1	11	1	0	1	~
10	0	0	~	~	10	~	~	0	~	10	1	~	1	~
№25					№26					№27				
X_4X_3	X_2X_1				X_4X_3	X_2X_1				X_4X_3	X_2X_1			
	00	01	11	10		00	01	11	10		00	01	11	10
00	1	1	0	1	00	1	~	~	0	00	~	0	0	~
01	~	0	0	~	01	0	0	1	~	01	1	0	0	1
11	~	0	1	0	11	1	1	~	~	11	1	~	0	1
10	0	1	1	0	10	1	~	~	0	10	1	~	1	1
№28					№29					№30				
X_4X_3	X_2X_1				X_4X_3	X_2X_1				X_4X_3	X_2X_1			
	00	01	11	10		00	01	11	10		00	01	11	10
00	1	0	~	1	00	0	1	1	0	00	1	~	0	0
01	1	1	~	~	01	~	0	0	0	01	~	1	0	0
11	~	~	0	~	11	0	0	1	~	11	0	0	1	~
10	0	~	1	0	10	1	~	1	~	10	~	~	1	0

Рис. 15. Варіанти до завдання № 5

Завдання №6

Логічна функція п'яти змінних задана номерами одиничних та нульових наборів. Для заданого варіанта (табл. № 7) визначити мінімальну диз'юнктивну та кон'юнктивну нормальну форму логічної функції. Карта Карно для логічної функції п'яти змінних з номерами клітинок представлена на рис 11.

Таблиця 7

Варіанти до завдання № 6

№ варіанту	Одиничні набори	Нульові набори
1	2	3
1	0,3,5,7,11,21,28,30,31	1,2,4,10,12,13,15,18,22,24
2	0,1,3,6,10,12,15,22,27,28	2,7,8,13,14,21,23,30,31
3	0,4,5,6,11,12,13,18,19,28	1,2,8,9,15,16,17,23,24,30
4	1,8,10,12,13,16,18,23,25,27	0,2,4,11,20,21,22,28,29

1	2	3
5	1,6,7,11,15,19,21,22,24,26,28	2,3,5,10,16,17,23,29,30
6	1,4,5,11,12,15,22,26,27,28	3,10,13,14,23,24,29,30,31
7	3,5,6,15,16,19,22,23,25,27,29	0,1,4,14,20,24,26,30,31
8	4,7,8,10,15,17,18,19,21,25,26	2,5,11,12,13,23,24,27,28
9	2,5,8,9,11,12,14,18,20,22,29	0,7,10,15,16,23,24,30,31
10	3,4,6,10,13,14,22,24,26,27	0,1,5,9,16,17,23,30,31
11	0,5,7,10,11,28,30,31	1,2,3,4,12,13,15,18,21,22,24
12	3,6,10,15,22,27,28	0,2,7,8,12,13,14,21,30,31
13	0,4,6,9,11,12,18,19,24,28	1,2,5,8,13,15,16,17,23,30
14	1,10,11,12,13,18,23,25,27,28	0,2,4,8,16,20,21,22,29
15	6,7,15,21,22,24,26,28	0,2,3,5,10,16,17,19,23,29,30
16	1,4,12,13,15,22,26,28	3,5,10,11,14,23,24,29,31
17	3,6,14,16,19,22,25,27,29	0,1,4,5,20,23,24,26,30,31
18	8,10,12,15,17,18,19,21,24,25	2,5,7,9,11,13,23,27,28
19	2,8,11,12,18,20,22,29	0,7,9,10,14,16,23,30,31
20	3,4,10,14,22,24,26,27,31	0,1,5,6,9,13,16,17,23,30
21	0,3,11,15,21,28,30,31	1,2,4,5,7,10,12,18,22,24
22	0,10,12,13,14,15,22,27,28	1,2,3,7,8,21,23,30,31
23	0,6,8,9,11,18,19,28	1,2,4,5,12,13,15,16,17,23,24
24	1,4,7,8,13,16,18,23,25,27	0,5,9,11,20,21,22,28,29
25	1,2,3,6,7,11,21,22,24,26,28	5,10,15,19,16,17,23,29,30
26	1,6,7,11,12,15,22,23,24,28	3,4,5,10,13,14,29,30,31
27	3,5,14,19,22,23,25,27,29	0,1,4,6,15,16,20,24,26,30,31
28	4,7,8,11,12,13,18,19,21,25,26	2,5,10,15,17,23,24,27,28
29	2,7,9,11,18,20,22,29	0,5,8,10,12,14,15,16,24,30
30	3,9,10,13,14,22,24,26,27	0,1,4,6,5,17,23,30,31

Зміст звіту

1. Умови завдань № 1 – № 6 та результати їх виконання з необхідними коментаріями процедури отримання результатів.

2. Висновки.

Контрольні запитання

1. У чому полягає принцип мінімізації логічних функцій за допомогою карт Карно?

2. Пояснити принцип мінімізації логічних функцій, що не є повністю визначеними.

3. Які особливості мінімізації логічної функції в залежності від форми її аналітичного представлення?

4. Пояснити порядок побудови карти Карно п'яти змінних.

5. Дати пояснення діаграмі (карті) Вейча.
6. З якою практичною метою здійснюється мінімізація логічних функцій?
7. При яких умовах мінімізація логічної функції неможлива?

Довідкові дані

Варіант виконання завдання №1

На рис.16. приведена карта Карно логічної функції чотирьох змінних і аналітичний запис виділених імплікант.

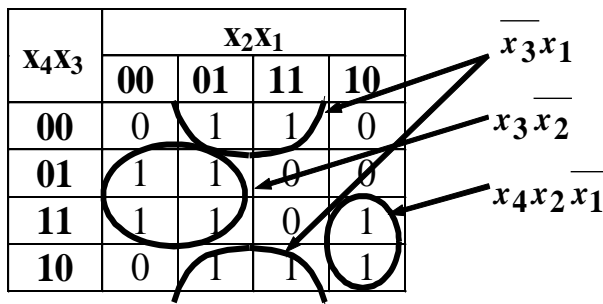


Рис. 16. Приклад виконання завдання №1

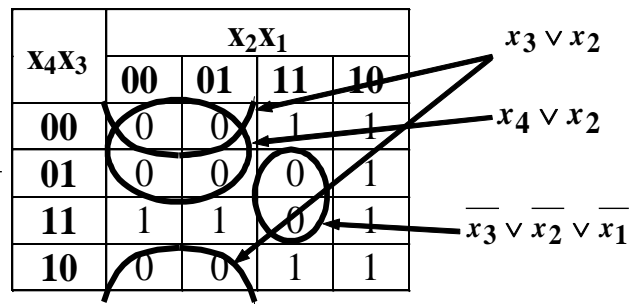


Рис. 17. Приклад виконання завдання №2

Варіант виконання завдання №2

На рис.17. приведена карта Карно логічної функції чотирьох змінних і аналітичний запис виділених імплікант.

Варіант виконання завдання №3

Припустимо, що задана логічна функція має вигляд:

$$F(x_4x_3x_2x_1) = \overline{x_3}\overline{x_2}\overline{x_1} \vee \overline{x_3}x_1 \vee x_3x_2.$$

1 етап

Нанесемо на карту Карно контури, які відповідають заданим простим імплікантам логічної функції (рис.18).

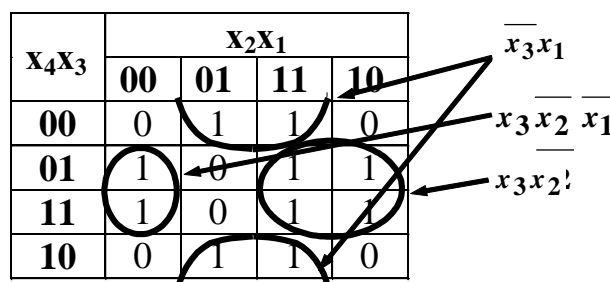


Рис. 18. Приклад виконання завдання №3

2 етап

Користуючись номерами клітинок карти Карно, що вказані на рис. 11, запишемо кінцевий результат виконання завдання:

$$\overline{x_3}x_1 \rightarrow 1,3,9,11$$

$$x_3\overline{x_2}\overline{x_1} \rightarrow 4,12$$

$$x_3x_2 \rightarrow 6,7,14,15$$

Варіант виконання завдання №4

Припустимо, що задана логічна функція має вигляд:

$$F(x_4x_3x_2x_1) = (x_4 \vee x_3 \vee \overline{x_2}) \wedge (\overline{x_3} \vee \overline{x_1}) \vee (\overline{x_4} \vee x_3)$$

1 етап

Нанесемо на карту Карно контури, які відповідають заданим простим імпліцентам логічної функції (рис.19).

x ₄ x ₃	x ₂ x ₁			
	00	01	11	10
00	1	1	0	0
01	1	0	0	1
11	1	0	0	1
10	0	0	0	0

$x_4 \vee x_3 \vee \overline{x_2}$ (описує контур: 000, 001, 110, 111)
 $\overline{x_3} \vee \overline{x_1}$ (описує контур: 000, 001, 010, 011)
 $\overline{x_2}x_3$ (описує контур: 010, 011)
 $x_4 \vee x_3$ (описує контур: 000, 001, 110, 111)

Рис. 19. Приклад виконання завдання №4

2 етап

Користуючись номерами клітинок карти Карно, що приведені на рис. 11, запишемо кінцевий результат рішення задачі:

$$x_4 \vee x_3 \vee \overline{x_2} \rightarrow 2,3; \quad \overline{x_3} \vee \overline{x_1} \rightarrow 5,7,13,15; \quad \overline{x_4} \vee x_3 \rightarrow 8,9,10,11.$$

Варіант виконання завдання №5

Припустимо, що задана логічна функція приведена на рис. 20.

x ₄ x ₃	x ₂ x ₁			
	00	01	11	10
00	~	0	1	1
01	1	0	0	1
11	0	0	0	1
10	~	0	1	~

Рис. 20. Неповністю визначена логічна функція

1 етап

Для того, щоб отримати мінімальну диз'юнктивну нормальну форму проведемо максимальні правильні контури, які охоплюють одиничні та невизначені набори логічної функції.(рис. 21).

2 етап

Запишемо аналітичний вираз кожної імпліканти та з'єднаємо ці імпліканти знаками диз'юнкції.

$$F(x_4x_3x_2x_1) = \overline{x_3x_2} \vee \overline{x_4x_1} \vee \overline{x_2x_1}$$

Для отримання мінімальної кон'юнктивної нормальної форми логічної функції проведемо максимальні правильні контури, які охоплюють нульові та невизначені набори логічної функції.(рис. 22).

x ₄ x ₃	x ₂ x ₁			
	00	01	11	10
00	~	0	1	1
01	1	0	0	1
11	0	0	0	1
10	~	0	1	~

Рис. 21. **Визначення мінімальної диз'юнктивної нормальної форми логічної функції**

x ₄ x ₃	x ₂ x ₁			
	00	01	11	10
00	~	0	1	1
01	1	0	0	1
11	0	0	0	1
10	~	0	1	~

Рис. 22. **Визначення мінімальної кон'юнктивної нормальної форми логічної функції**

Запишемо аналітичний вираз кожної імпліканти та з'єднаємо ці імпліканти знаками кон'юнкції:

$$F(x_4x_3x_2x_1) = (x_2 \vee \overline{x_1}) \wedge (\overline{x_3} \vee \overline{x_1}) \wedge (\overline{x_4} \vee x_2).$$

Варіант виконання завдання №6

Припустимо, що логічна функція задана номерами своїх одиничних наборів (0, 3, 11, 12, 13, 18, 22, 31) та нульових наборів (1, 2, 4, 5, 7, 9, 10, 15, 24, 28, 30).

Тоді прості імпліканти цієї логічної функції на карті Карно будуть мати вигляд, представлений на рис. 23.

Мінімальна диз'юнктивна нормальна форма логічної функції буде мати такий вигляд:

$$F(x_5x_4x_3x_2x_1) = \overline{x_5x_3x_2x_1} \vee \overline{x_5x_4x_3x_2} \vee \overline{x_3x_2x_1} \vee \overline{x_5x_1} \vee \overline{x_5x_4}.$$

		$\overline{x_5}$	$\overline{x_3}$	$\overline{x_2}$	$\overline{x_1}$	$\overline{x_5 x_4 x_3 x_2}$				
		$x_3 x_2 x_1$								
$x_5 x_4$		000	100	110	010	011	111	101	001	
00		1	0	~	0	1	0	0	0	
01		~	1	~	0	1	0	1	0	
11		0	0	0	~	~	1	~	~	
10		~	~	1	1	~	~	~	~	

$x_5 \overline{x_4}$ $\overline{x_3 x_2 x_1}$ $x_5 x_1$

Рис. 23. Прості імпліканти логічної функції

Карта Карно для простих імплікент цієї логічної функції буде мати вигляд, представлений на рис. 24.

Мінімальна кон'юнктивна нормальна форма логічної функції буде мати такий вигляд

$$F(x_5 x_4 x_3 x_2 x_1) = (\overline{x_5} \vee \overline{x_2} \vee \overline{x_1})(\overline{x_5} \vee \overline{x_3} \vee \overline{x_2})(\overline{x_3} \vee \overline{x_2} \vee \overline{x_1}) \\ (\overline{x_4} \vee \overline{x_3} \vee \overline{x_1})(\overline{x_4} \vee \overline{x_2} \vee \overline{x_1})(\overline{x_4} \vee \overline{x_2})$$

		$\overline{x_5} \vee \overline{x_2} \vee \overline{x_1}$	$\overline{x_5} \vee \overline{x_3} \vee \overline{x_2}$						$\overline{x_3} \vee \overline{x_2} \vee \overline{x_1}$	
		$x_3 x_2 x_1$								
$x_5 x_4$		000	100	110	010	011	111	101	001	
00		1	0	~	0	1	0	0	0	
01		~	1	~	0	1	0	1	0	
11		0	0	0	~	~	1	~	~	
10		~	~	1	1	~	~	~	~	

$\overline{x_5} \vee \overline{x_4} \vee \overline{x_1}$ $\overline{x_5} \vee \overline{x_2}$ $\overline{x_4} \vee \overline{x_3} \vee \overline{x_1}$ $\overline{x_4} \vee \overline{x_3} \vee \overline{x_2}$

Рис. 24. Прості імпліканти логічної функції

Література: [1-4, 6; 11; 13; 15].

Модуль 1. Комп'ютерна цифрова схемотехніка

АНАЛІЗ КОМБІНАЦІЙНИХ ЦИФРОВИХ ПРИСТРОЇВ

Тема 3. Схемотехніка комбінаційних вузлів

Лабораторне заняття № 4.

Мета заняття

1. Дослідження умов функціонування та характеристик комбінаційних цифрових пристроїв.

2. Прищеплення навичок діагностики роботоздатного стану цифрової комбінаційної схеми, виявлення та усунення несправностей у схемі, а також визначення основних характеристик схеми.

Стислі теоретичні відомості

Аналіз цифрового пристрою (греч. analysis — розкладання, розчленення) заключається в дослідженні його умов функціонування або його техніко-економічних характеристик.

Аналіз умов функціонування пристроїв заключається в отриманні їх описів за заданими функціональними або принципіальними електричними схемами. Результати аналізу описуються словесно, таблицями відповідності, логічними формулами або в цифровій формі.

При аналізі техніко-економічних характеристик може оцінюватися швидкодія пристрою, апаратурні витрати на його побудову, енергоспоживання, вартість, надійність та інші характеристики.

Можна виділити наступні загальні етапи, що притаманні аналізу комбінаційних пристроїв будь-якої складності та реалізованих на будь-яких логічних елементах:

1. За функціональною або принципіальною електричною схемою визначаються входи, виходи пристрою і типи логічних елементів, на яких він реалізований. Входи, виходи і елементи на схемі пристрою бувають позначені, як правило, літеро-цифровими символами. Для спрощення подальшого аналізу входи і виходи перепозначаються логічними змінними, наприклад, входи — через x_1, x_2, \dots, x_n , а виходи — через z_1, z_2, \dots, z_m .

2. Установлюється кількість і характер зв'язків між елементами,

визначається можливість розділення схеми на функціонально обособлені за входами і виходами частини. Для кожного логічного елемента, що використовується, визначається логічна функція, яку він реалізує, та виключаються з аналізу всі допоміжні елементи (формувачі, повторювачі, підсилювачі тощо).

3. З урахуванням пп. 1 та 2 будується спрощена функціональна схема пристрою і при необхідності виконується її перетворення до вигляду, зручного для подальшого аналізу.

4. З отриманої схеми визначаються умови функціонування пристрою у вигляді словесного опису, таблиць відповідності, логічних формул, в цифровій формі або в сукупності цих моделей. При цьому рекомендується аналіз проводити від виходів до входів в наступній послідовності:

а) позначити виходи всіх внутрішніх логічних елементів. При цьому до внутрішніх відносяться всі елементи, крім вихідних, з яких знімаються значення вихідних сигналів z_1, z_2, \dots, z_m ;

б) визначити логічні формули, що описують значення сигналів на виходах внутрішніх елементів з врахуванням раніш введених позначень;

в) логічні формули, що пов'язують вхідні і вихідні сигнали пристрою, визначаються шляхом послідовної підстановки формул, отриманих в п. б, впритул до повного виключення проміжних змінних.

За отриманими формулам можна при необхідності отримати опис умов функціонування пристрою в будь-якій еквівалентній формі. Нижче в розділі "**Довідкові дані**" опису цього лабораторного заняття приведений аналіз умов функціонування конкретної цифрової схеми.

Рекомендації щодо підготовки до лабораторного заняття

Лабораторне заняття проводиться шляхом імітаційного моделювання на персональному комп'ютері роботи цифрових комбінаційних схем за допомогою програмного пакету **Electronics Workbench**.

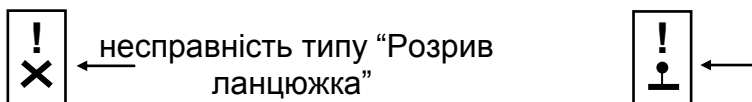
Тому перед виконанням лабораторного заняття необхідно уважно ознайомитися з можливостями цього програмного пакету щодо порядку моделювання цифрових схем, побудованих на простих комбінаційних елементах (**ЧИ**, **НІ**, **І**, **ЧИ-НІ**, **І-НІ**, тобто на інтегральних мікросхемах малого ступеня інтеграції). Крім того, для успішного виконання роботи

необхідно оволодіти засобами **Electronics Workbench** щодо забезпечення формування необхідних вхідних наборів $x_4x_3x_2x_1$ та індикації вихідного сигналу досліджуваної цифрової схеми z , а також твердо засвоїти методику аналізу цифрових комбінаційних пристроїв, побудованих на мікросхемах малого ступеня інтеграції.

Програма лабораторного заняття складається з двох завдань, які мають індивідуальний характер для кожного студента.

У першому завданні студент мусить визначити аналітичний вираз логічної функції, яка задана умовним графічним позначенням.

У другому завданні для аналізу пропонується деяка цифрова схема, основу якої складають цифрові та допоміжні елементи. Крім того, у схемі позначене місце, де має виникнути несправність. Несправність схеми, яку треба буде моделювати, має два види: або розрив ланцюга, або коротке замикання, як найбільш розповсюджені типи відмов в електронних цифрових схемах. Умовне позначення цих відмов приведене на рис. 25.



Виконання другого завдання складається з декількох етапів:
попереднього теоретичного аналізу електричної схеми;
моделювання роботи цієї схеми за допомогою **Electronics Workbench**
та переконання в правильності проведеного теоретичного аналізу;
введення в схему заданої штучної несправності;
аналізу несправної схеми та виявлення місця несправності..

Питання для самоконтролю:

1. Пояснити суть задачі аналізу умов функціонування цифрових пристроїв?

2. В якому вигляді можуть бути представлені результати аналізу функціонування цифрового пристрою?

3. На підставі яких вихідних даних проводиться аналіз умов функціонування цифрових пристроїв?

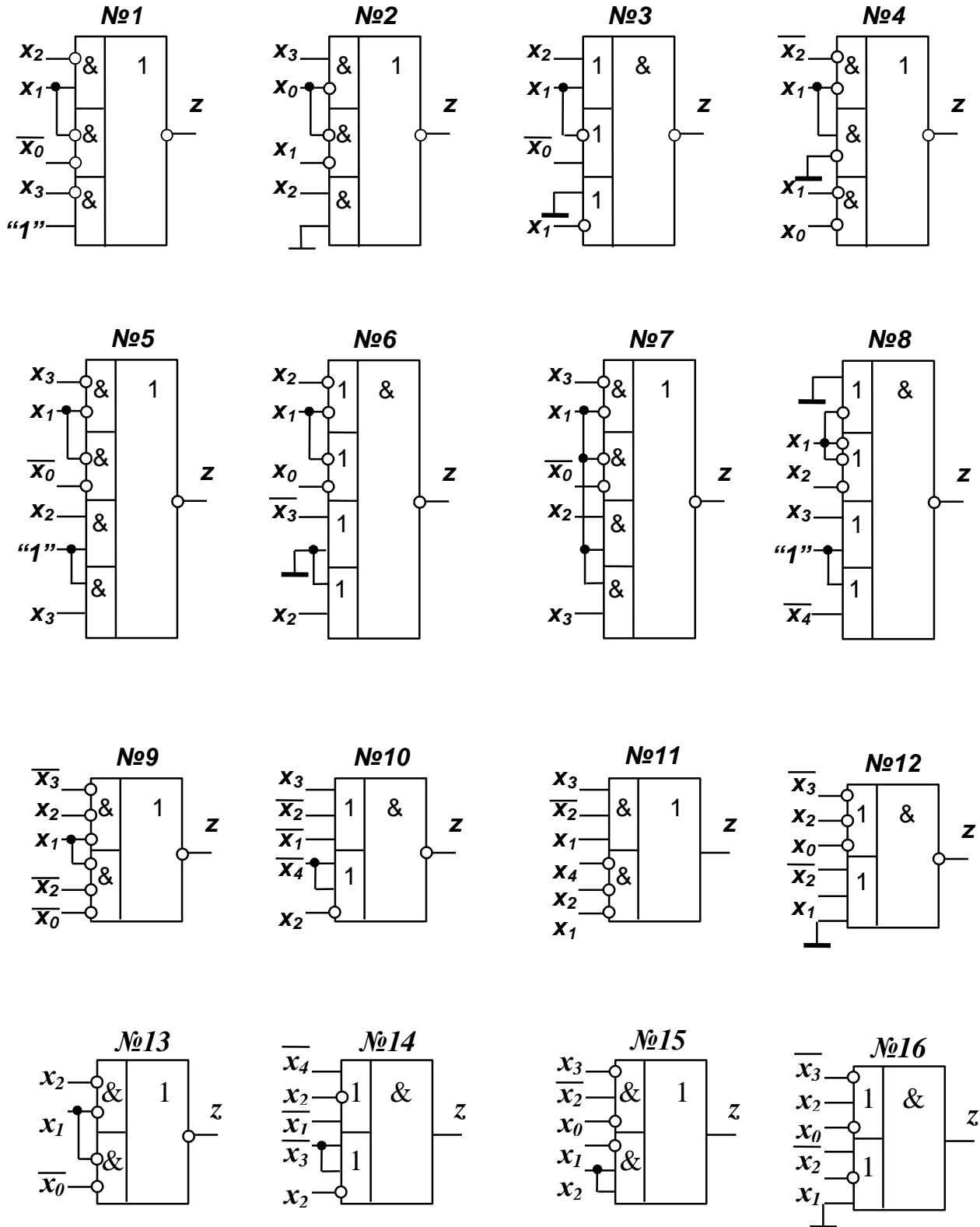
4. Що є результатом аналізу техніко-економічних характеристик цифрового пристрою?

5. Дати характеристику основним етапам аналізу умов функціонування цифрових пристроїв.

Завдання для опрацювання на лабораторному занятті

Завдання №1

Згідно з заданим варіантом (рис. 26) визначити умови функціонування логічної функції, яка реалізується цифровим елементом. Логічну функцію представити в аналітичній та табличній формах.



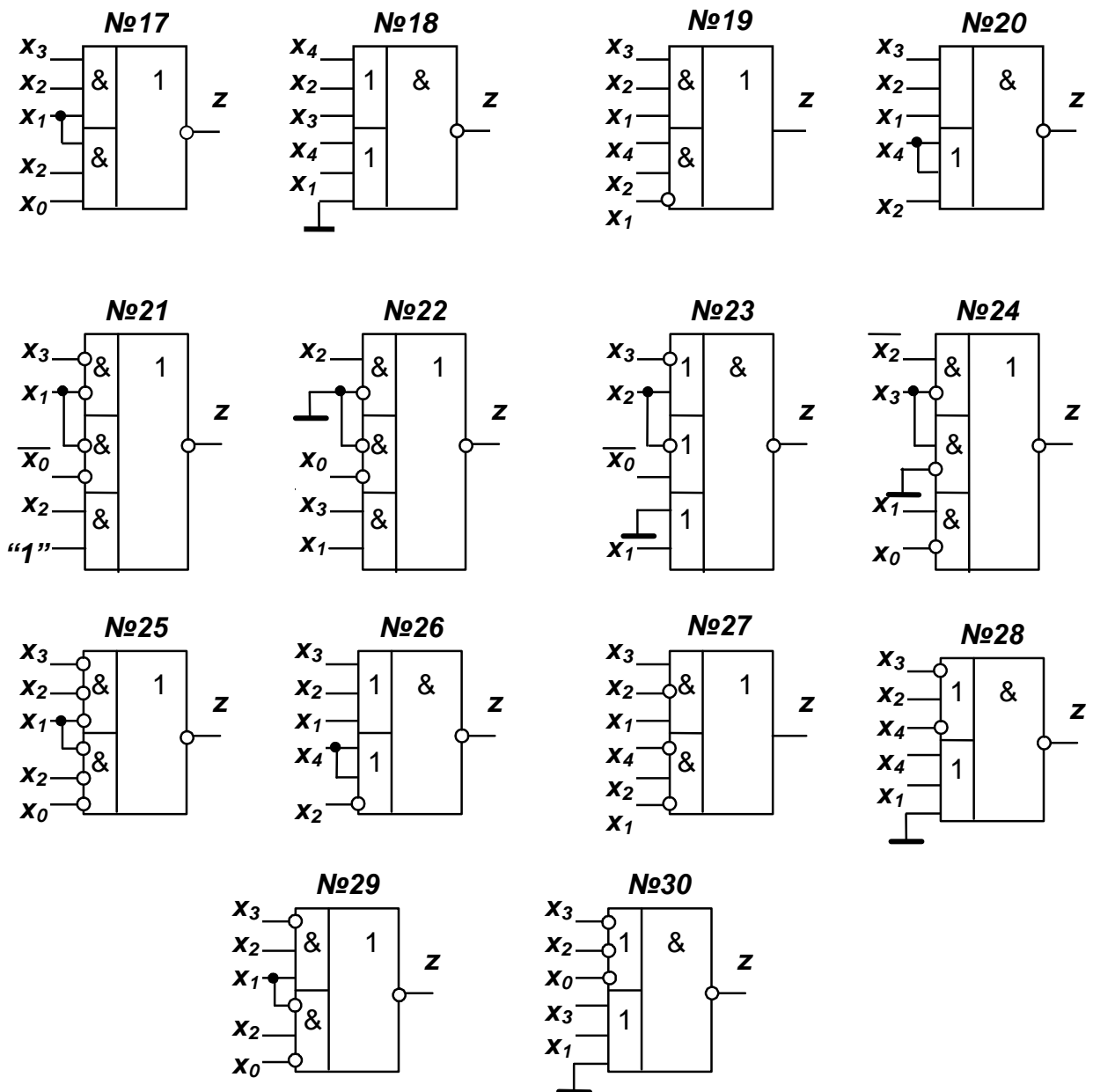


Рис. 25. Варіанти до завдання №1

Рис. 26. Варіанти до завдання №1

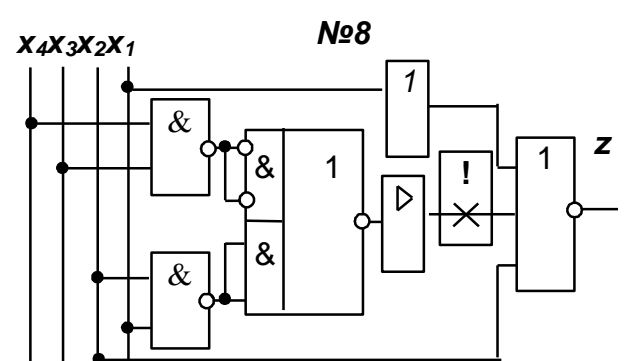
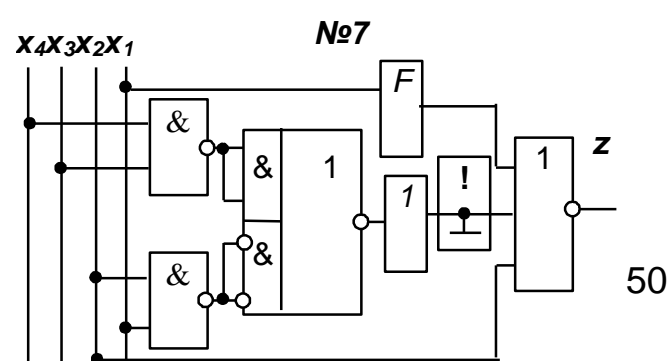
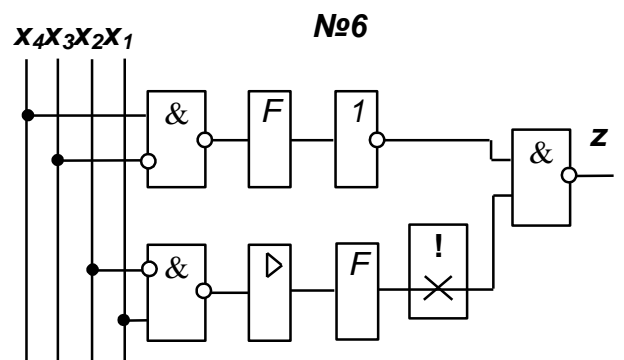
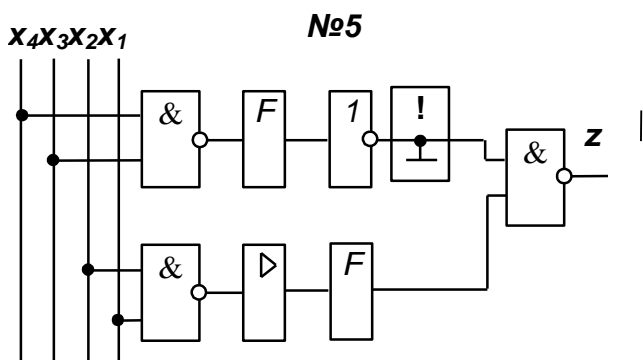
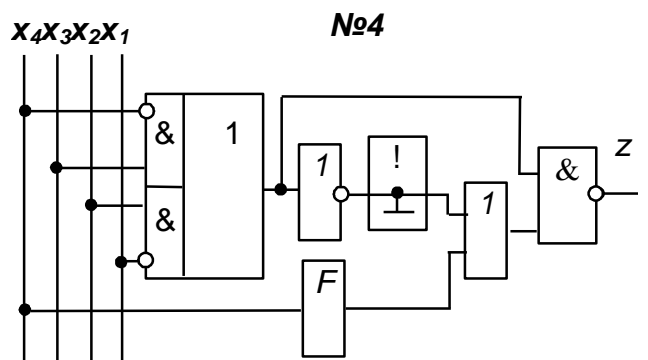
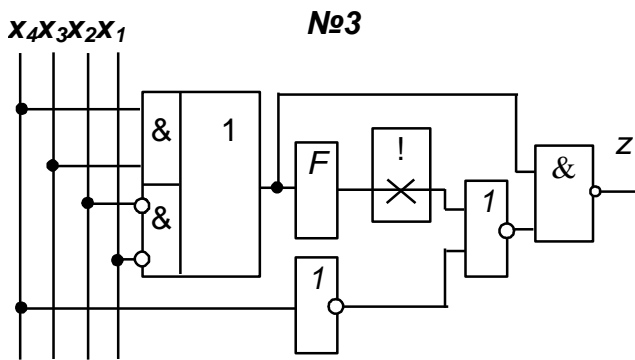
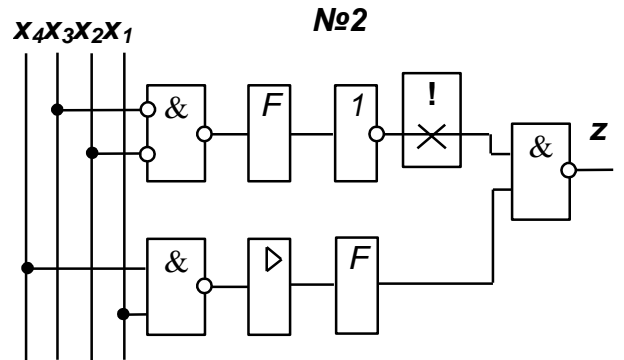
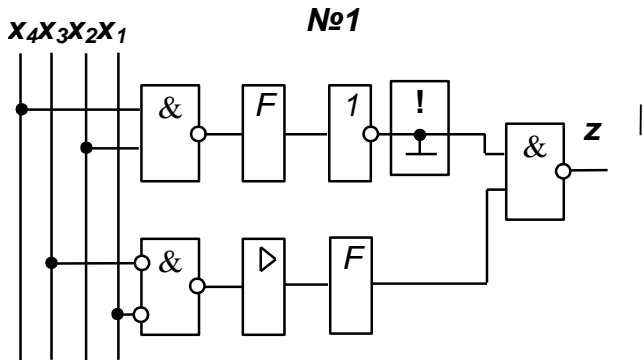
Завдання №2

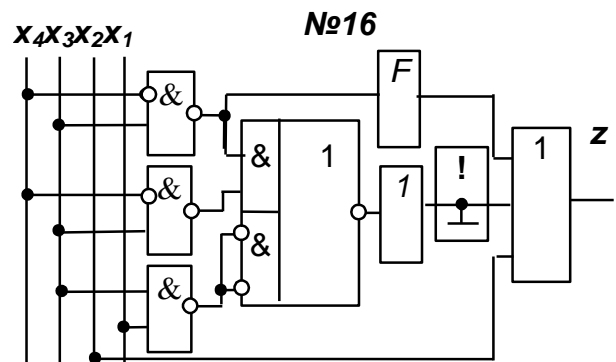
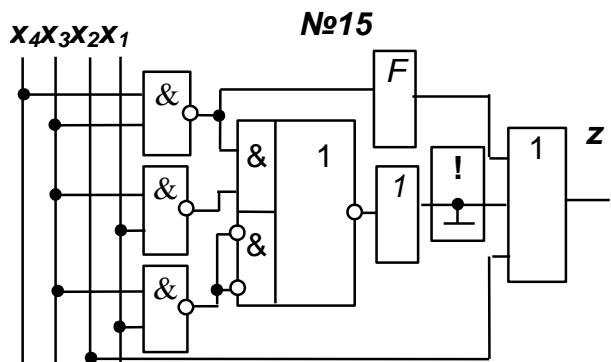
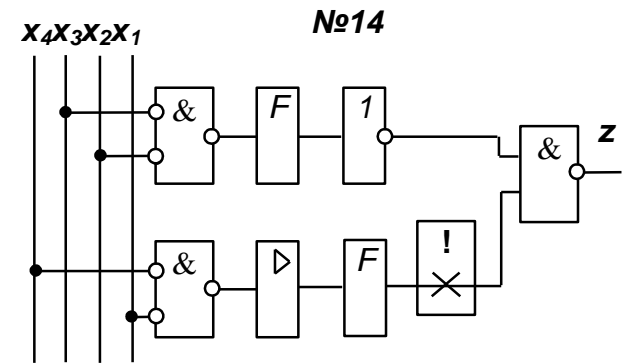
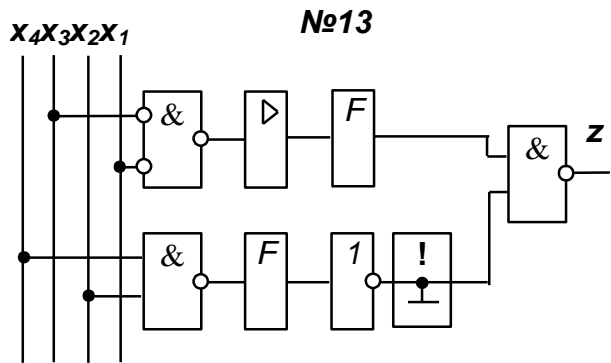
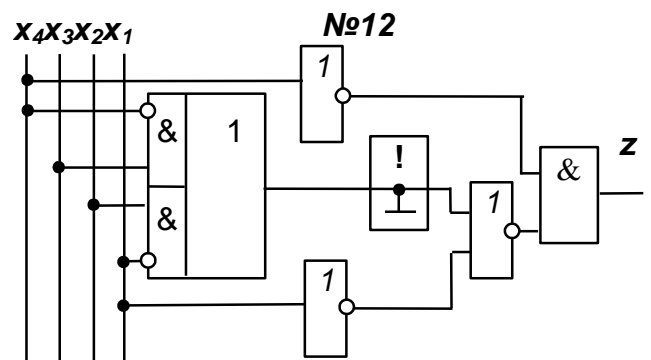
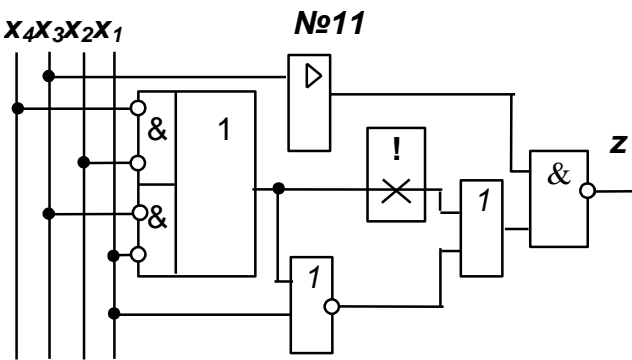
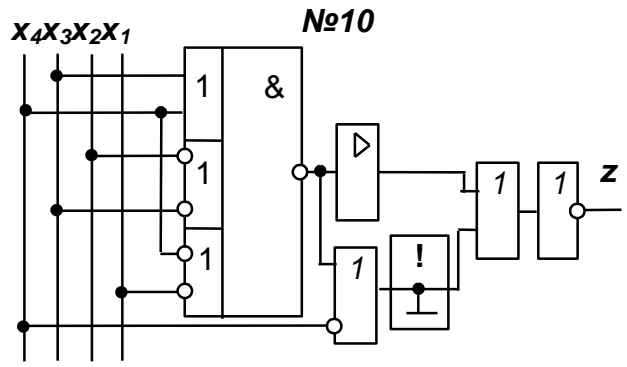
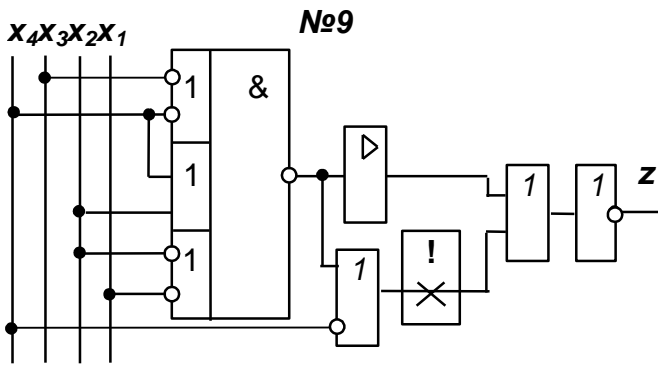
Згідно з заданим варіантом (рис. 27.) здійснити аналіз функціонування цифрової комбінаційної схеми, а саме:

визначити умови функціонування цифрової схеми та перевірити результати проведеного аналізу за допомогою імітаційного моделювання засобами **Electronics Workbench**;

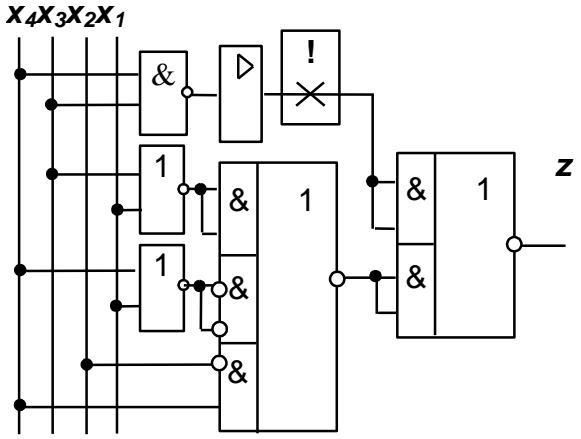
штучно ввести в схему несправність та виявити її за допомогою проведеного теоретичного аналізу умов функціонування пошкодженої схеми;

за допомогою засобів **Electronics Workbench** переконатися в правильності проведеного аналізу схеми;
оцінити складність та швидкодію схеми, що аналізувалася.

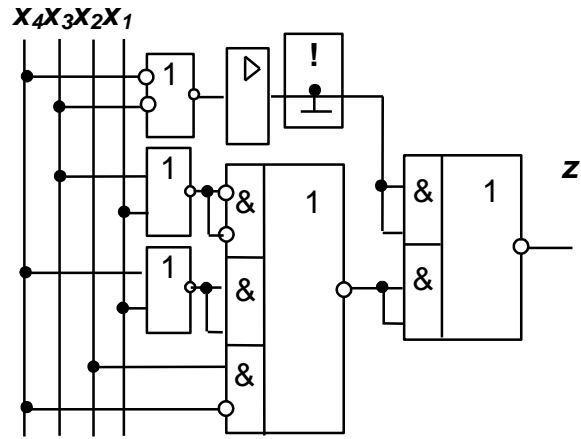




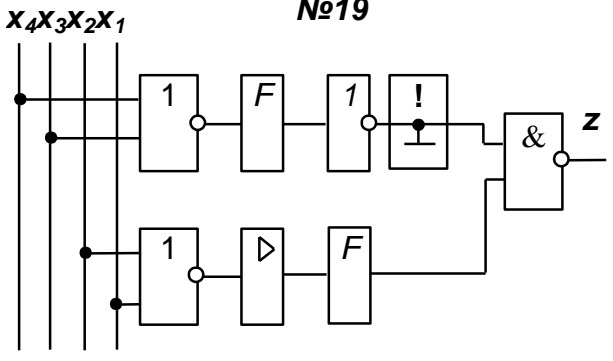
№17



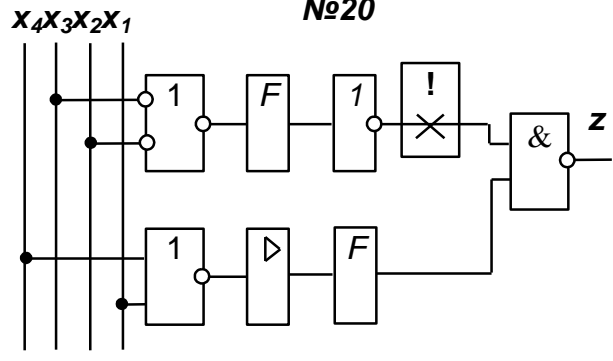
№18



№19

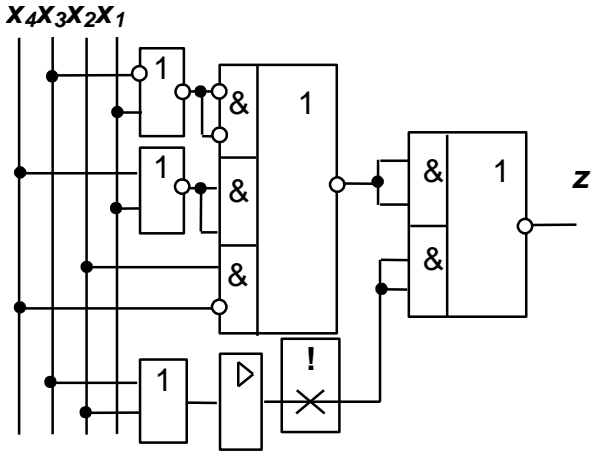


№20

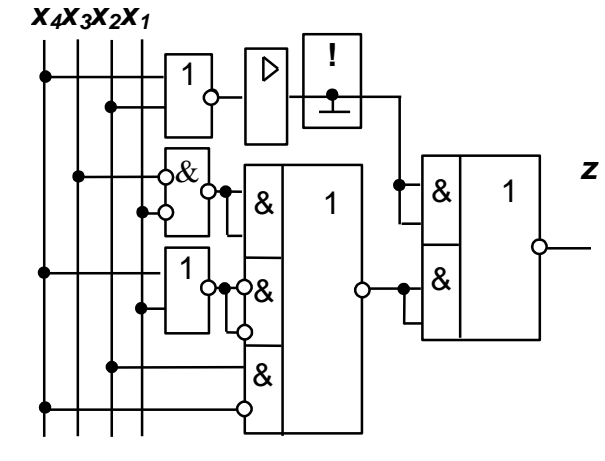


ë

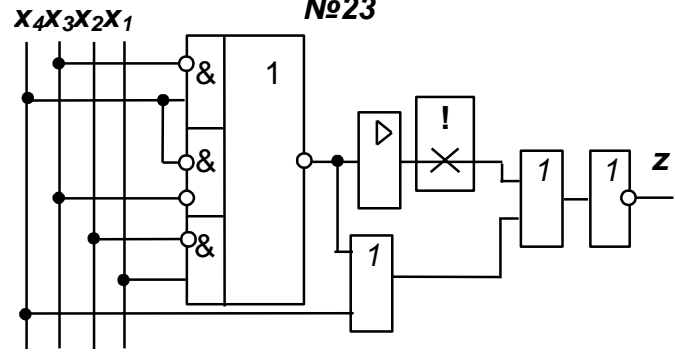
№21



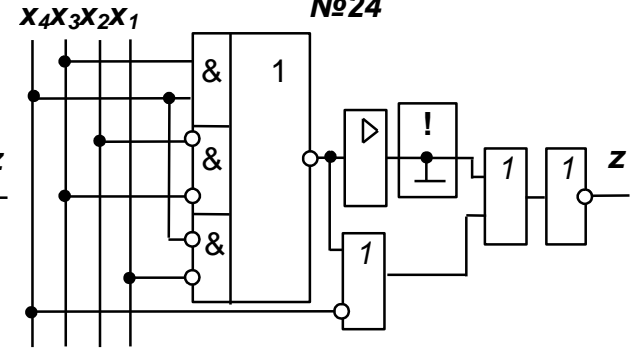
№22



№23



№24



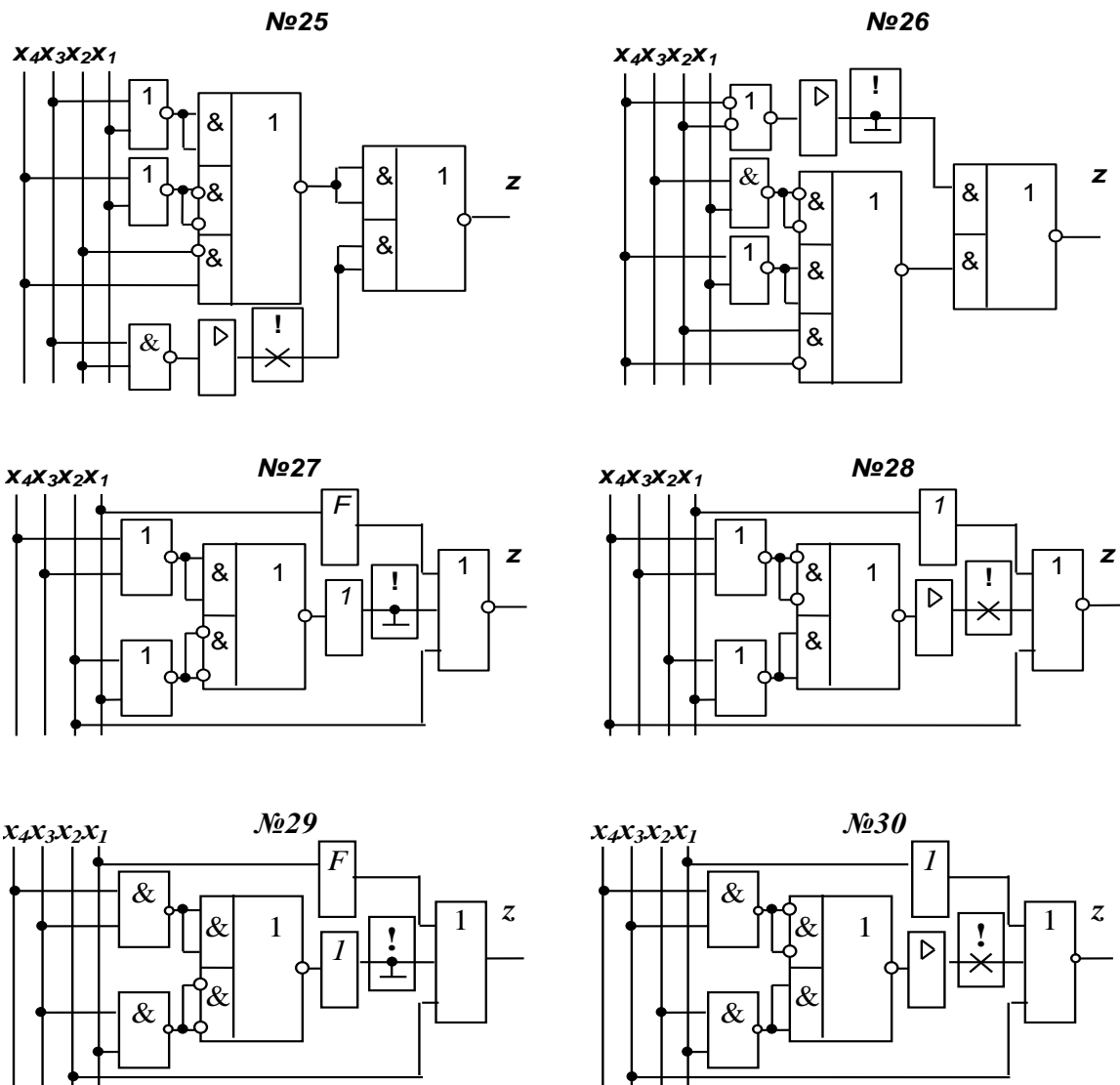


Рис. 26. Варіанти до завдання №2

Рис. 27. Варіанти до завдання №2

Зміст звіту

1. Схема та результати її аналізу згідно з умовами першого завдання.
2. Результати аналізу (функціональна схема та схема експерименту) справно працюючої комбінаційної цифрової схеми згідно з умовами другого завдання.
3. Результати аналізу (функціональна схема та схема експерименту) комбінаційної цифрової схеми, в яку введена штучна несправність.
4. Результати оцінки швидкодії та складності схеми що аналізувалася.
5. Висновки.

Контрольні запитання

1. У чому полягає мета аналізу схем цифрових пристроїв?

2. Що розуміється під умовами (законом, алгоритмом, моделлю) функціонування цифрових пристроїв?

3. Визначити послідовність дій при аналізі умов функціонування цифрового пристрою.

4. Яким чином оцінити складність, швидкодію та енергоспоживання цифрового пристрою?

Довідкові дані

Варіант виконання завдання №2

Припустимо, що треба провести аналіз цифрового комбінаційного пристрою, функціональна схема якого приведена на рис. 28.

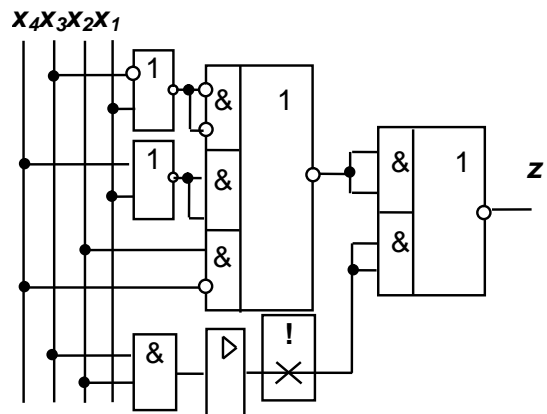
Етап №1

Перетворимо цю схему до більш зручного для аналізу виду, а саме: виключимо з неї допоміжний елемент (підсилювач) та позначимо виходи логічних елементів (рис. 29)

Етап №2

Запишемо логічні функції, які реалізуються кожним логічним елементом схеми.

$$z = \overline{n \vee p}; \quad n = \overline{m \vee k \vee x_4 x_2}; \quad m = \overline{x_3 \vee x_1};$$



Зробивши взаємні підстановки отри

$$z(x_4 x_3 x_2 x_1) = \overline{\overline{\overline{x_3 \vee x_1} \vee x_4 \vee x_2} \vee x_4 x_2 \vee x_3 x_2}.$$

Після виконання необхідних перетворень за допомогою аксіом алгебри логіки остаточно отримуємо диз'юнктивну нормальну форму логічної функції

$$z(x_4 x_3 x_2 x_1) = \overline{x_3} \vee \overline{x_2 x_1} \vee \overline{x_4 x_2 x_1}.$$

У табличній формі логічна функція має вигляд, представлений на рис. 30:

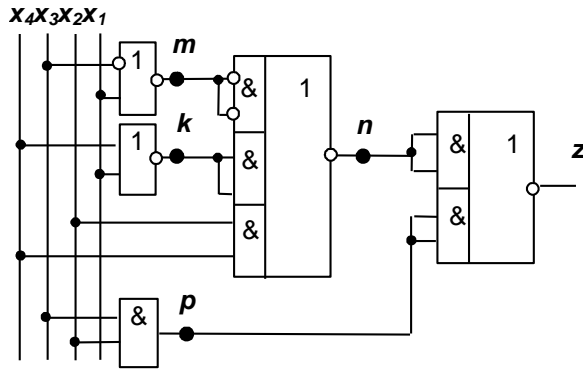


Рис. 28. Спрощена функціональна схема цифрового комбінаційного пристрою

x_4x_3	x_2x_1			
	00	01	11	10
00	1	1	1	1
01	1	1	0	0
11	0	1	0	0
10	1	1	1	1

Рис. 29. Логічна функція $z(x_3, x_2, x_1, x_0)$ у табличній формі

Етап №3

За допомогою засобів **Electronics Workbench** будемо демонстраційну версію заданої схеми. (Термін "демонстраційна схема" вжитий тому що ця схема не враховує реальних типоміналів інтегральних мікросхем, тобто логічні елементи, по суті, є ідеальними, а саме: мають практично нульовий час затримки розповсюдження сигналів; безмежний рівень спроможності навантаження; відсутність необхідності підключення ланцюгів електроживлення тощо). Такі логічні елементи знаходяться в каталогу **Logic Gates** програмного пакета **Electronics Workbench**. Треба мати на увазі той факт, що умовне графічне зображення логічних елементів згідно з національною єдиною системою конструкторської документації відрізняється від міжнародного стандарту щодо цього. На рис. 31. приведені умовні графічні зображення логічних елементів у відповідності до міжнародного та національного стандартів.

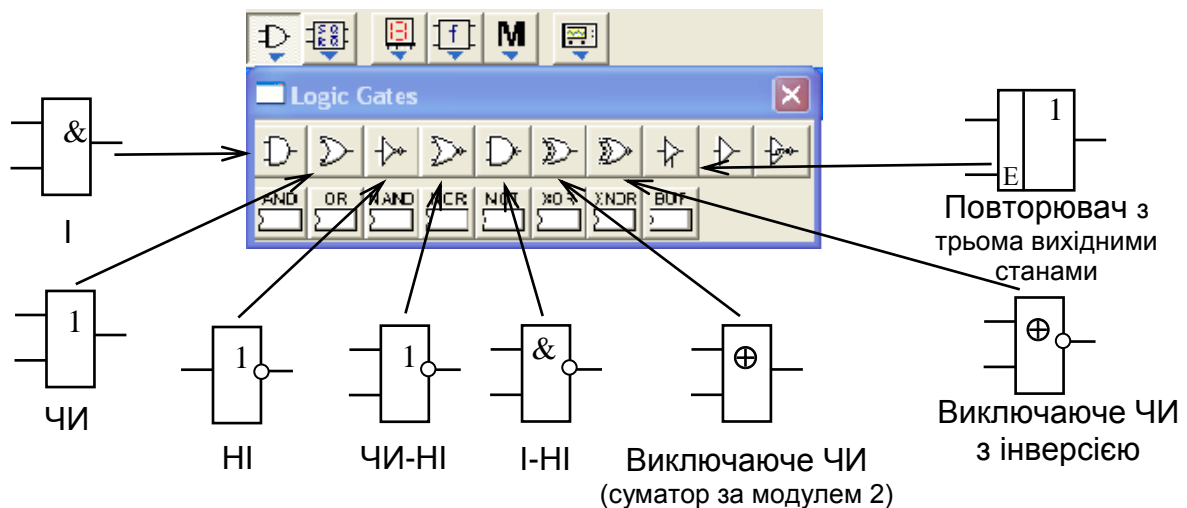


Рис. 31. Умовні графічні зображення логічних елементів за міжнародним та національним стандартам

Для спрощення аналізу цифрової схеми до контрольних точок схеми n , m , k , p підключені світлодіоди з каталогу (**Indicators**) пакета **Electronics Workbench**

Порівняння значень сигналу на виході z схеми з тими, що ми отримали раніше за допомогою аналітичного аналізу схеми (таблиця відповідності на рис. 30), дозволяє зробити висновок про умови функціонування справно працюючої цифрової схеми.

На рис. 32. представлена схема експерименту.

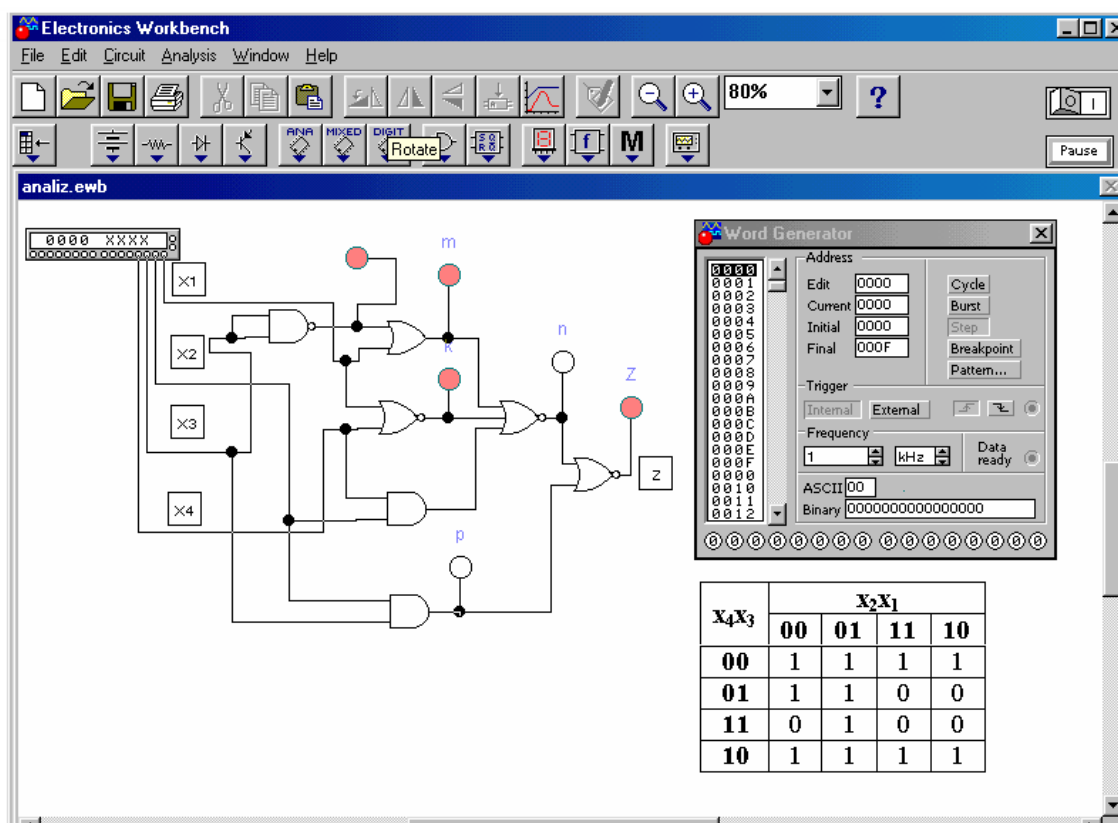


Рис. 32. Схема експерименту

Етап №4

Внесемо штучно зроблену несправність в схему і за допомогою аналізу умов функціонування схеми знайдемо місце цієї несправності.

Несправна схема представлена на рис. 33.

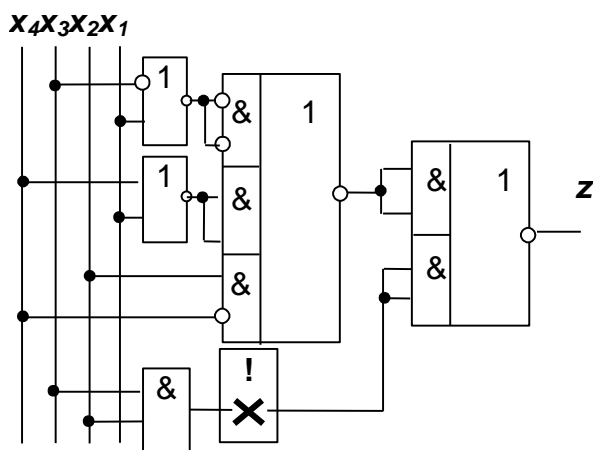


Рис. 33. Функціональна схема цифрового комбінаційного пристрою з штучно введеною несправністю

Несправність полягає в обриві з'єднання між двома елементами. На рис 34. з допомогою засобів **Electronics Workbench** представлена цифрова схема з штучно введеною несправністю.

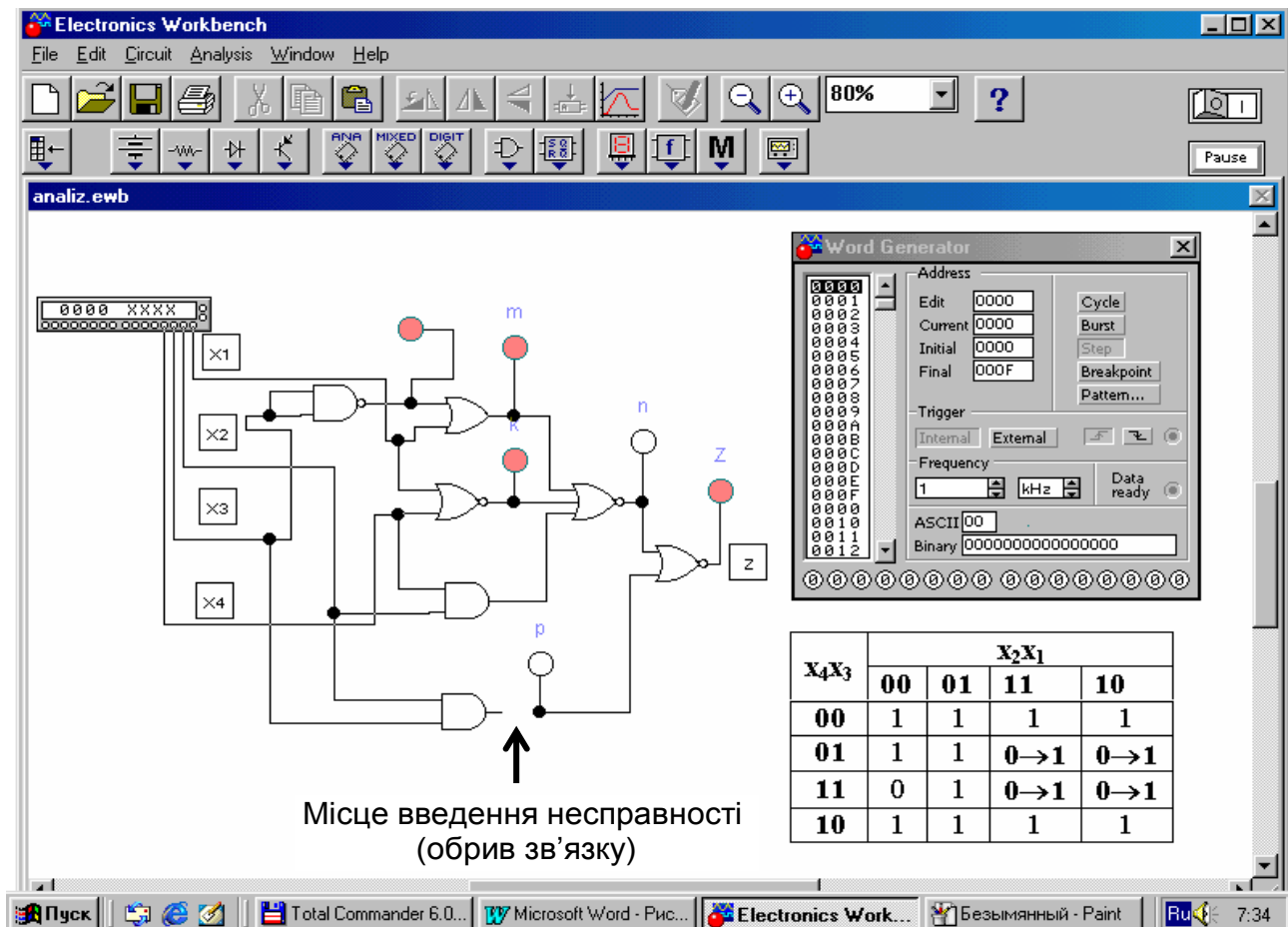


Рис. 34. Схема експерименту для дослідження схеми з штучно введеною несправністю

Проведений аналогічний аналіз умов функціонування цієї схеми дозволяє побудувати двовходову таблицю відповідності цієї цифрової схеми. На цьому ж рисунку приведені в табличній формі умови функціонування несправної схеми.

Порівняння таблиць відповідностей правильно працюючої схеми на рис. 29 та пошкодженої схеми на рис. 33. дозволяє зробити висновок, що несправність впливає на поведінку (значення) логічної функції на **6**, **7**, **14**, та **15**-му наборах. Подальший аналіз проходження сигналів вхідних кодів **0110**, **0111**, **1110**, **1111** через елементи схеми обов'язково приведе до виявлення місця несправності схеми.

Література: [1- 4; 6; 10; 12; 15].

Модуль 1. Комп'ютерна цифрова схемотехніка

СИНТЕЗ КОМБІНАЦІЙНИХ ЦИФРОВИХ ПРИСТРОЇВ

Тема 3. Схемотехніка комбінаційних вузлів

Лабораторне заняття № 5.

Мета заняття

1. Закріплення теоретичних знань стосовно методів синтезу комбінаційних цифрових пристроїв на інтегральних мікросхемах малого ступеня інтеграції, дослідження методів синтезу цифрових пристроїв без пам'яті в умовах обмежень.

2. Прищеплення навичок експериментального дослідження методів синтезу комбінаційних цифрових пристроїв, побудови та налагоджування цифрової комбінаційної схеми що синтезується, виявлення та усунення несправностей в схемі, а також визначення основних характеристик схеми.

Стислі теоретичні відомості

Кінцевою метою рішення задачі синтезу цифрового пристрою без пам'яті є отримання його принципіальної електричної схеми, що реалізує задані умови функціонування. Проектування пристроїв закінчується розробкою та виготовленням макету, в результаті дослідження якого перевіряється виконання заданих вимог та вносяться зміни в принципіальну електричну, а іноді й функціональну схему автомата.

Основним критерієм, за яким оцінюється якість рішення задачі синтезу, є складність отриманої схеми пристрою. Цей критерій є в якійсь мірі універсальним, оскільки простота реалізації сприяє покращенню таких важливих характеристик, як надійність, вартість, габарити, вага, потужність що споживається, та ін. Разом с тим названі характеристики мають самостійне значення і можуть висуватися в якості додаткових вимог, які пред'являються до пристроїв, що синтезуються.

Для кількісної оцінки складності схеми пристрою доцільно використовувати два показники:

а) сумарну кількість входів на всі логічні елементи типу **I, ЧИ**. Цей показник, як правило, використовується для порівняння складності функціональних схем пристроїв;

б) сумарна кількість корпусів інтегральних мікросхем. Даний показник доцільно використовувати для оцінки складності цифрових пристроїв за принципіальними електричними схемами.

Якщо схема вміщує інтегральні елементи з різним ступенем інтеграції, то складність пристрою оцінюється за формулою:

$$C = \alpha_m n_m + \alpha_c n_c + \alpha_b n_b$$

де n_m, n_c, n_b — кількість корпусів елементів малого, середнього і великого ступеня інтеграції (MIC, CIC та BIC відповідно);

$\alpha_m, \alpha_c, \alpha_b$ — вагові коефіцієнти, які враховують співвідношення між складністю елементів MIC, CIC, BIC.

Якщо прийняти $\alpha_m = 1$, то коефіцієнти α_c і α_b можуть бути вибрані, наприклад, з врахуванням відношення числа виводів CIC и BIC до числа виводів MIC. Тоді $\alpha_c = 1,5 - 1,8$, $\alpha_b = 2 - 3,5$.

Як уже відмічалось вище, з критерієм складності тісно пов'язані інші важливі критерії, серед яких слід відзначити надійність P та потужність що споживається W , оскільки їх розрахунок супроводжує синтез любого цифрового пристрою, що використовується на практиці. Кількісно ці критерії можуть бути оцінені в простішому випадку наступними показниками:

$$P = e^{-\sum_{i=1}^m \lambda_i \sigma_i t_i}; \quad W = U \sum_{i=1}^m I_i \sigma_i$$

де m — число типів інтегральних мікросхем;

λ_i і I_i — інтенсивність відмов та струм, що споживається мікросхемою 1-го типу (визначається за допомогою довідників);

σ_i — число мікросхем i -го типу;

U — напруга живлення.

В якості показника надійності в даному випадку використовується імовірність безвідмовної роботи схеми в припущенні незалежності відмов її елементів.

Другим важливим критерієм ефективності пристрою, що синтезується, є його швидкодія. Вона тим вище, чим швидше на виході

пристрою формується значення сигналу, яке установилось після його зміни на вході. Кількісно швидкодія схеми може бути оцінена за формулою:

$$F = \frac{1}{T} = \frac{1}{\max_{i:\pi_i \in \pi} \left\{ \sum_{j=1}^{k_i} \tau_{ij} \right\}},$$

де T — максимальна затримка схеми ;

$\pi = \{\pi_i\}_{i=1}^r$ — множина шляхів проходження сигналу від входу до виходу (різних ланцюгів елементів);

r — кількість шляхів;

k_i — кількість елементів, що входять до шляху π_i ;

τ_{ij} — затримка сигналу на j - му елементі i -го шляху π_i .

Фізична сутність показника F полягає в тому, що він визначає максимально припустиму частоту зміни вхідних сигналів цифрового пристрою.

Для оцінки швидкодії функціональної схеми можуть бути використані умовні одиниці виміру затримки одного простішого логічного елемента — τ .

Послідовність синтезу.

Задача синтезу комбінаційного цифрового пристрою може бути умовно поділена на три основні етапи:

формалізація умов роботи;

логічний синтез;

технічне проектування.

На першому етапі на підставі аналізу вихідних даних формулюються умови роботи цифрового пристрою без пам'яті що розробляється, які можуть бути отримані у вигляді словесного опису. Єдиною вимогою до формулювання умов функціонування є вимога повноти їх завдання. Формулювання умов функціонування є повним, якщо воно відображає всі можливі режими роботи пристрою, що проектується.

Повнота завдання умов функціонування комбінаційного автомата не буде порушена, якщо задані тільки одиничні (нульові) набори вхідних

сигналів, оскільки в цьому випадку інші набори необхідно віднести до нульових (одиничних).

На підставі словесного формулювання умови роботи комбінаційного цифрового пристрою можуть бути записані у вигляді таблиці відповідності або у вигляді номерів одиничних і нульових (невизначених) наборів.

На другому етапі здійснюється логічний синтез функціональної схеми автомата, яка задовольняє вимоги, що представляються. Одною з основних вимог, яка повинна бути виконана на цьому етапі, є отримання найбільш простої (мінімальної) структури автомата. Для отримання мінімальної структури автомата, що розробляється, повинні бути отримані логічні функції, котрі описують умови його функціонування і найбільш просто можуть бути реалізовані за допомогою системи елементів, на яких передбачається побудувати цифровий пристрій.

Для рішення задачі отримання простішої структури комбінаційного пристрою найбільш широке розповсюдження отримали методи мінімізації логічних функцій. Раніш були розглянуті методи мінімізації логічних функцій в базисі **I, ЧИ, НІ**. Ці методи дозволяють отримати мінімальну **ДНФ** або **КНФ** функції.

Методи мінімізації логічних функцій у інших базисах розроблені слабо або зовсім не розроблені. Тому на практиці логічні функції мінімізують у базисі **I, ЧИ, НІ**, а потім мінімальні **ДНФ, КНФ** перетворюють до необхідного базису, використовуючи еквівалентні співвідношення.

Для оптимізації структур автоматів широко використовують винесення за дужки в логічних виразах загальні множники, виділення загальних елементів. За отриманими логічними виразами будується функціональна схема цифрового пристрою без пам'яті.

Другий етап синтезу автомата закінчується рішенням задачі аналізу, в результаті чого з'ясовується, чи всім вимогам задовольняє синтезований пристрій. Якщо в результаті аналізу виявлено, що деяка вимога не виконується, то до отриманого рішення вносяться корективи, або задача логічного синтезу рішається знову.

На третьому етапі рішення задачі синтезу цифрового пристрою без пам'яті за отриманою функціональною схемою розроблюється принципальна електрична схема, виконується вибір і розрахунок елементів схеми. Рішення задачі синтезу третього етапу може вимагати

коректування рішень, отриманих на другому і навіть першому етапах з метою задоволення заданих вимог.

Послідовність рішення задачі синтезу цифрового пристрою без пам'яті зводиться до наступного:

1. На підставі аналізу заданих умов роботи пристрою складається його формальний опис у вигляді таблиці відповідності або номерів одиничних, нульових і невизначених наборів.

2. Рішається задача мінімізації логічних функцій, отриманих в п. 1, в результаті чого визначається сукупність мінімальних ДНФ (КНФ) функцій, які описують пристрій, що синтезується.

3. У кожному логічному виразі, що входить до системи, проводиться винесення за скобки загальних множників.

4. У перетвореній системі логічних функцій, отриманій в п. 3, виділяються вирази, які є загальними для декілька функцій и які доцільно реалізовувати загальними елементами.

5. Система логічних виразів, отримана в п. 4. перетворюється, до заданого базису.

6. Будується функціональна схема цифрового пристрою без пам'яті на заданих елементах.

7. Розроблюється принципіальна електрична схема, проводиться вибір і розрахунок елементів схеми пристрою.

8. Проводиться аналіз схеми синтезованого пристрою, в результаті якого встановлюється, чи всім вимогам він задовольняє. Якщо в результаті аналізу з'ясовано, що деяка вимога не виконується, то в отримане рішення вносяться корективи, або задача синтезу рішається знову.

Рекомендації щодо підготовки до лабораторного заняття

Синтез і налагодження функціональної схеми комбінаційного цифрового пристрою проводиться на прикладі побудови засобами **Electronics Workbench** перетворювача позиційного двійкового коду в код для керування семисегментним індикатором.

Тому для успішного виконання лабораторної роботи необхідно повторити теоретичний матеріал стосовно методу синтезу комбінаційних цифрових пристроїв, а також повторити порядок використання

необхідних інструментальних засобів програмного пакету **Electronics Workbench** для моделювання роботи комбінаційних цифрових схем.

Питання для самоконтролю:

1. Яка кінцева мета задачі синтезу цифрового пристрою без пам'яті?
2. Дати характеристику основного критерію, за яким оцінюється складність синтезованої схеми пристрою.
3. Як оцінюється складність схеми, якщо вона складається із інтегральних елементів з різним ступенем складності?
4. Яким чином можна оцінити швидкодію синтезованого пристрою?
5. Дати характеристику етапу логічного синтезу.
6. Пояснити порядок оцінки надійності та потужності що споживається для синтезованого пристрою.

Завдання для опрацювання на лабораторному занятті

1. Згідно з заданим варіантом (табл. 8), синтезувати комбінаційний перетворювач двійкового коду в код управління семисегментним індикатором з метою висвітлювання ним заданих десяткових цифрових та літерного символів. Перетворювач, що синтезується, не повинен подавати сигнали управління на семисегментний індикатор, якщо на вхід перетворювача поступили коди інших цифр, що не відповідають заданому варіантові.

Таблиця 8

Варіанти до завдання

№ Варіанту	Символи, що підлягають відображенню	Функціональний базис		
		I, ЧИ, HI	I-HI	ЧИ-HI
1	2	3	4	5
1	1, 3, 9, А	v		
2	0, 4, 6, Б		v	
3	2, 5, 7, Г			v
4	4, 6, 8, Е	v		
5	3, 5, 9, Р		v	
6	1, 3, 7, С			v
7	1, 4, 7, А	v		
8	0, 2, 9, Б		v	
9	2, 3, 5, Г			v
10	4, 7, 9, Е	v		
11	3, 4, 6, Р		v	

1	2	3	4	5
12	1, 4, 8, С			v
13	4, 5, 9, А	v		
14	0, 5, 7, Б		v	
15	1, 3, 6, Г			v
16	3, 7, 8, Е	v		
17	2, 4, 7, Р		v	
18	0, 3, 9, С			v
19	2, 4, 8, А	v		
20	0, 3, 5, Б		v	
21	2, 4, 6, Г			v
22	3, 5, 9, Е	v		
23	5, 7, 9, Р		v	
24	4, 6, 9, С			v
25	1, 5, 8, А	v		
26	2, 3, 6, Б		v	
27	4, 6, 9, Г			v
28	0, 5, 9, Е	v		
29	1, 5, 9, Р		v	
30	4, 5, 7, С			v

Зміст звіту

1. Таблиця істинності перетворювача, що синтезується.
2. Запис закону функціонування перетворювача в цифровій формі та у досконалій диз'юнктивній нормальній формі.
3. Матеріали мінімізації вихідних логічних функцій під час синтезу перетворювача.
4. Результати моделювання синтезованого комбінаційного пристрою засобами **Electronics Workbench** в заданому функціональному базисі логічних функцій.
5. Висновки, що відображають результати оцінки побудованої схеми перетворювача за швидкістю та складністю.

Контрольні запитання

1. Розкрити суть задачі синтезу цифрових схем.
2. Дати характеристику основним етапам синтезу комбінаційних цифрових схем.
3. Пояснити порядок реалізації логічних функцій у заданому базисі.

4. Пояснити порядок синтезу логічних функцій в умовах обмежень за числом входів логічного елемента.

5. Пояснити порядок синтезу логічних функцій в умовах обмежень за величиною спроможності навантаження логічного елемента.

6. Яким чином відбувається оцінка синтезованої схеми за складністю та швидкодією?

7. Пояснити порядок перетворення мінімальної диз'юнктивної (кон'юнктивної) нормальної форми логічної функції до базису І-НІ (ЧИ-НІ).

Довідкові дані

Перетворювач коду, що синтезується, повинен забезпечити таке управління семисегментним індикатором, щоб цифри та літери відображалися ним так, як показано на рис. 35.

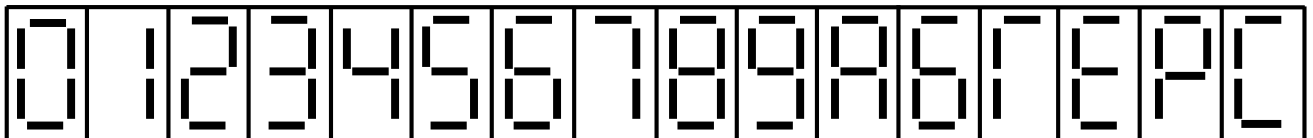


Рис. 35. **Вигляд символів при відображенні їх семисегментним індикатором**

Кодування алфавітно-цифрових символів двійковим кодом надано в табл. 9.

Таблиця 9

Кодування цифрових та деяких літерних символів двійковим кодом

№ набору	Символ	X ₄	X ₃	X ₂	X ₁
1	2	3	4	5	6
0	0	0	0	0	0
1	1	0	0	0	1
2	2	0	0	1	0
3	3	0	0	1	1
4	4	0	1	0	0
5	5	0	1	0	1
6	6	0	1	1	0
7	7	0	1	1	1
8	8	1	0	0	0

1	2	3	4	5	6
9	9	1	0	0	1
10	А	1	0	1	0
11	Б	1	0	1	1
12	Г	1	1	0	0
13	Е	1	1	0	1
14	Р	1	1	1	0
15	С	1	1	1	1

Позначення сегментів індикатора вказані на рис. 36.

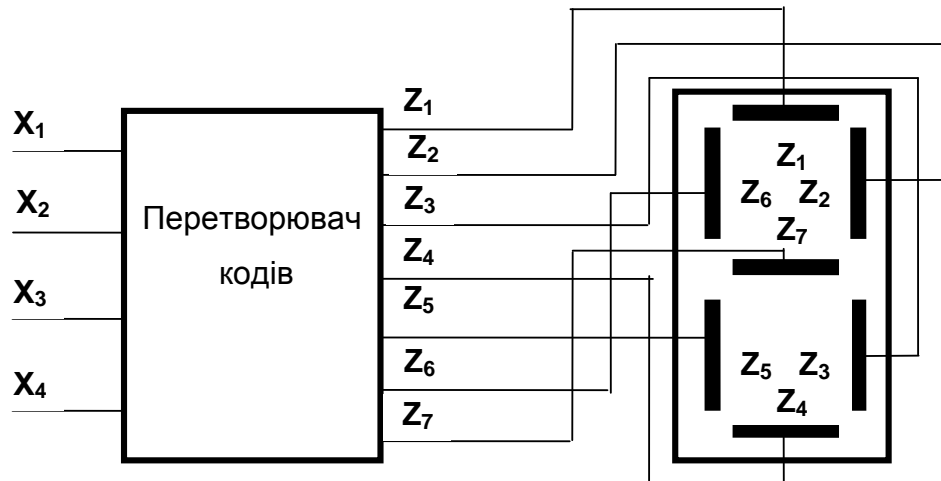


Рис. 36. Позначення сегментів індикатора

Варіант виконання завдання №1

Припустимо, що згідно з завданням нам треба побудувати на логічних елементах **ЧИ-НІ** перетворювач кодів, який повинен забезпечити індикацію цифр **1, 4, 7, 9** та літери **С**.

Етап №1

Формалізуємо задачу синтезу і представимо умови функціонування перетворювача двійкового коду у вигляді одновходової таблиці відповідності (табл. 10).

**Табличне представлення функціонування
перетворювача кодів**

№ набору	Символ для відображення	Вхідний сигнал				Вихідний сигнал						
		X ₄	X ₃	X ₂	X ₁	Z ₇	Z ₆	Z ₅	Z ₄	Z ₃	Z ₂	Z ₁
0		0	0	0	0	0	0	0	0	0	0	0
1	<u>1</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>0</u>
2		0	0	1	0	0	0	0	0	0	0	0
3		0	0	1	1	0	0	0	0	0	0	0
4	<u>4</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>0</u>
5		0	1	0	1	0	0	0	0	0	0	0
6		0	1	1	0	0	0	0	0	0	0	0
7	<u>7</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>
8		1	0	0	0	0	0	0	0	0	0	0
9	<u>9</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>1</u>
10		1	0	1	0	~	~	~	~	~	~	~
11		1	0	1	1	~	~	~	~	~	~	~
12		1	1	0	0	~	~	~	~	~	~	~
13		1	1	0	1	~	~	~	~	~	~	~
14		1	1	1	0	~	~	~	~	~	~	~
15	<u>С</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>1</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>

Примітка. Оскільки в завданні вимагається щоб перетворювач двійкового коду, що синтезується, забезпечував зображення тільки чотирьох цифр **1; 4; 7, 9**, та літери **С**, то на наборах, які відповідають іншим цифрам, семисегментний індикатор не повинен світитися, тобто всі вихідні сигнали перетворювача повинні дорівнюватися нулю. Відносно до наборів, які відповідають алфавітним символам, в завданні ніяких вимог не висунуто, тому ці набори можна вважати невизначеними. Це дасть змогу провести з більшою ефективністю мінімізацію вихідних логічних функцій перетворювача, що синтезується, і спростити його функціональну схему. Але треба мати на увазі, що набори, яким кодуються літери, а саме: **1010, 1011, 1100, 1101, 1110** для нашого варіанту завдання будуть забороненими, оскільки внаслідок доповнення цих невизначених наборів одиницями або нулями під час мінімізації за допомогою карт Карно можливе спостереження непередбачено викривлених (хаотично засвітлених сегментів) зображення символів.

Етап № 2

Запишемо вихідні функції $z_1 - z_7$ перетворювача кодів, що синтезується у числовій та досконалій диз'юнктивній нормальній формі:

$$z_1(x_4, x_3, x_2, x_1) = [7, 9, 15(0, 1, 2, 3, 4, 5, 6, 8)]_{10};$$

$$z_1(x_4, x_3, x_2, x_1) = \overline{x_4}x_3x_2x_1 \vee \overline{x_4}\overline{x_3}x_2x_1 \vee x_4x_3x_2x_1;$$

$$z_2(x_4, x_3, x_2, x_1) = z_3(x_4, x_3, x_2, x_1) = [1, 4, 7, 9(0, 2, 3, 5, 6, 8)]_{10};$$

$$z_2(x_4, x_3, x_2, x_1) = z_3(x_4, x_3, x_2, x_1) = \overline{x_4}\overline{x_3}\overline{x_2}x_1 \vee \overline{x_4}\overline{x_3}x_2\overline{x_1} \vee \overline{x_4}x_3x_2x_1 \vee \overline{x_4}x_3\overline{x_2}x_1;$$

$$z_4(x_4, x_3, x_2, x_1) = [7, 15(0, 1, 2, 3, 4, 5, 6, 8, 9)]_{10};$$

$$z_4(x_4, x_3, x_2, x_1) = \overline{x_4}x_3x_2x_1 \vee x_4x_3x_2x_1;$$

$$z_5(x_4, x_3, x_2, x_1) = [15(0, 1, 2, 3, 4, 5, 6, 7, 8, 9)]_{10};$$

$$z_5(x_4, x_3, x_2, x_1) = x_4x_3x_2x_1;$$

$$z_6(x_4, x_3, x_2, x_1) = [4, 9, 15(0, 1, 2, 3, 5, 6, 7, 8)]_{10};$$

$$z_6(x_4, x_3, x_2, x_1) = \overline{x_4}x_3x_2\overline{x_1} \vee \overline{x_4}\overline{x_3}x_2x_1 \vee x_4x_3x_2x_1;$$

$$z_7(x_4, x_3, x_2, x_1) = [4, 9(0, 1, 2, 3, 5, 6, 7, 8)]_{10};$$

$$z_7(x_4, x_3, x_2, x_1) = \overline{x_4}x_3x_2\overline{x_1} \vee \overline{x_4}\overline{x_3}x_2x_1.$$

Етап № 3

За допомогою карт Карно проводимо мінімізацію вихідних логічних функцій заданого перетворювача. При цьому намагаємося отримати аналітичний запис логічної функції в тій формі, що відповідає умовам завдання. Оскільки в нашому прикладі схему перетворювача потрібно побудувати на елементах **ЧИ-НІ**, то логічні функції будемо представляти в мінімальній кон'юнктивній нормальній формі. Результати мінімізації вихідних функцій перетворювача кодів, що синтезується, приведені на рис. 37.

Z_1

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	~	~	1	~
10	0	1	~	~

$x_4 \vee x_3$
 $x_4 \vee x_2$
 x_1

Z_2, Z_3

x_4x_3	x_2x_1			
	00	01	11	10
00	0	1	0	0
01	1	0	1	0
11	~	~	0	~
10	0	1	~	~

$x_3 \vee x_1$
 $x_3 \vee x_2$
 $x_2 \vee x_1$
 $x_3 \vee x_2 \vee x_1$
 $x_4 \vee x_2$

$$Z_1 = x_1 \wedge (x_4 \vee x_3) \wedge (x_4 \vee x_2)$$

$$Z_2 = Z_3 = (x_3 \vee x_1) \wedge (x_3 \vee x_2) \wedge (x_2 \vee x_1) \wedge (x_3 \vee x_2 \vee x_1) \wedge (x_4 \vee x_2)$$

Z_4

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	~	~	1	~
10	0	1	~	~

x_4
 x_1

$$Z_4 = x_4 \wedge x_1$$

Z_5

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	~	~	1	~
10	0	0	~	~

x_4
 x_3

$$Z_5 = x_4 \wedge x_3$$

Z_6

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	~	~	1	~
10	0	1	~	~

$x_3 \vee x_1$
 $x_4 \vee x_1$
 $x_3 \vee x_2$

$$Z_6 = (x_3 \vee x_1) \wedge (x_4 \vee x_1) \wedge (x_3 \vee x_2)$$

Z_7

x_4x_3	x_2x_1			
	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	~	~	0	~
10	0	1	~	~

$x_3 \vee x_1$
 $x_4 \vee x_1$
 x_2

$$Z_7 = (x_3 \vee x_1) \wedge (x_4 \vee x_1) \wedge x_2$$

Рис. 37. Результати мінімізації вихідних функцій перетворювача кодів, що синтезується

Етап № 4

За допомогою аксіом алгебри логіки перетворимо отримані вирази вихідних логічних функцій нашого пристрою до виду, зручному для їх реалізації в заданому базисі, тобто в базисі **ЧИ-НІ**.

$$\begin{aligned} z_1(x_4, x_3, x_2, x_1) &= x_1 \wedge (x_4 \vee x_3) \wedge (x_4 \vee x_2) = \\ &= \overline{\overline{x_1 \wedge (x_4 \vee x_3) \wedge (x_4 \vee x_2)}} = \overline{\overline{x_1 \vee x_4 \vee x_3 \vee x_4 \vee x_2}}. \end{aligned}$$

$$\begin{aligned} z_2(x_4, x_3, x_2, x_1) &= z_3(x_4, x_3, x_2, x_1) = (x_3 \vee x_1) \wedge (x_3 \vee x_2) \wedge \\ &\wedge (\overline{x_2 \vee x_1}) \wedge (\overline{x_3 \vee x_2 \vee x_1}) \wedge (\overline{x_4 \vee x_2}) = \\ &= \overline{\overline{(x_3 \vee x_1) \wedge (x_3 \vee x_2) \wedge (\overline{x_2 \vee x_1}) \wedge (\overline{x_3 \vee x_2 \vee x_1}) \wedge (\overline{x_4 \vee x_2})}} = \\ &= \overline{\overline{x_3 \vee x_1 \vee x_3 \vee x_2 \vee x_2 \vee x_1 \vee x_3 \vee x_2 \vee x_1 \vee x_4 \vee x_2}}. \end{aligned}$$

$$z_4(x_4, x_3, x_2, x_1) = x_4 \wedge x_1 = \overline{\overline{x_4 \wedge x_1}} = \overline{\overline{x_4 \vee x_1}}.$$

$$z_5(x_4, x_3, x_2, x_1) = x_4 \wedge x_3 = \overline{\overline{x_4 \wedge x_3}} = \overline{\overline{x_4 \vee x_3}}.$$

$$\begin{aligned} z_6(x_4, x_3, x_2, x_1) &= (x_3 \vee x_1) \wedge (\overline{x_4 \vee x_1}) \wedge (\overline{x_3 \vee x_2}) = \\ &= \overline{\overline{(x_3 \vee x_1) \wedge (\overline{x_4 \vee x_1}) \wedge (\overline{x_3 \vee x_2})}} = \\ &= \overline{\overline{x_3 \vee x_1 \vee x_4 \vee x_1 \vee x_3 \vee x_2}}. \end{aligned}$$

$$\begin{aligned} z_7(x_4, x_3, x_2, x_1) &= (x_3 \vee x_1) \wedge (\overline{x_4 \vee x_1}) \wedge \overline{x_2} = \\ &= \overline{\overline{(x_3 \vee x_1) \wedge (\overline{x_4 \vee x_1}) \wedge \overline{x_2}}} = \overline{\overline{x_3 \vee x_1 \vee x_4 \vee x_1 \vee x_2}}. \end{aligned}$$

Етап № 5

За допомогою засобів програмного пакету моделювання аналогових та цифрових пристроїв **Electronics Workbench** за отриманими виразами для логічних функцій перетворювача кодів будуємо функціональну схему в заданому базисі логічних елементів. До входу схеми підключаємо генератор двійкових послідовностей (**Word Generator**) з каталогу (**Instruments**), а до виходу – семисементний індикатор з каталогу (**Indicators**). Послідовно подаючи на вхід

перетворювача всі шістнадцять комбінацій вхідних сигналів, переконуємося, що індикатор забезпечує висвітлювання цифр та літерного символу у повній відповідності з умовами завдання. В іншому випадку необхідно перевірити правильність синтезу та побудови схеми.

Результати синтезу перетворювача двійкового позиційного коду до коду управління семисегментним індикатором представлені на рис. 38.

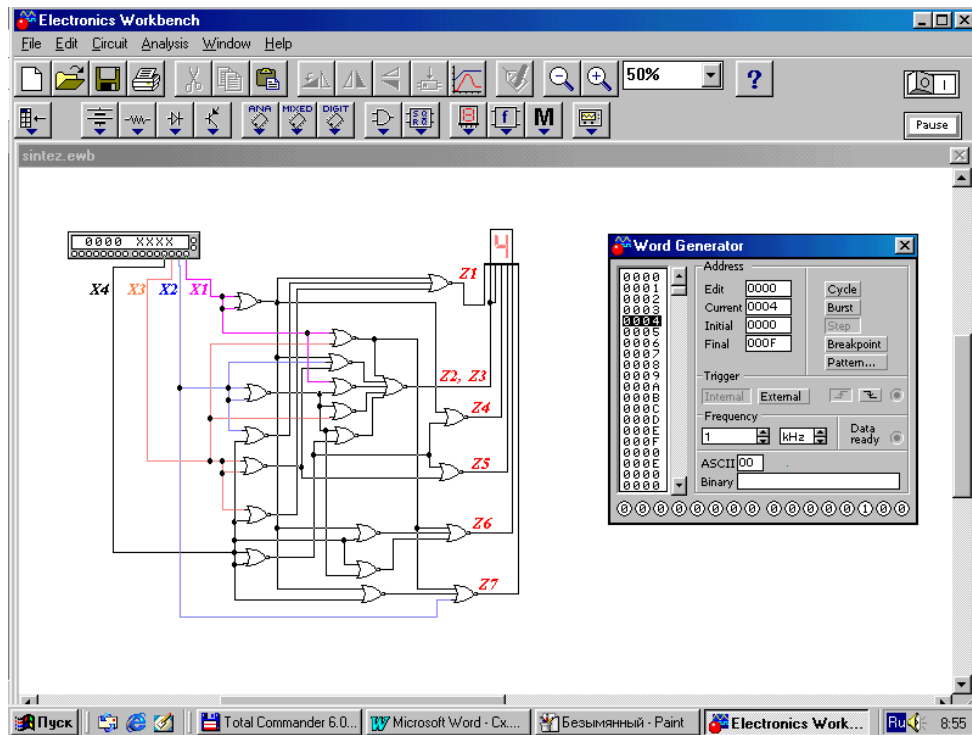


Рис. 38. Перевірка правильності синтезу перетворювача двійкового позиційного коду за допомогою засобів Electronics Workbench

Аналіз побудованої функціональної схеми дозволяє оцінити деякі її експлуатаційні параметри, а саме: складність та швидкодію (рис. 38).

Якщо за критерій складності схеми брати кількість задіяних в цій схемі входів логічних елементів, то складність буде визначатися величиною $K_{Вх} = 47$, якщо за критерій брати кількість задіяних логічних елементів, то складність схеми буде оцінюватися величиною $K_{ЛЕ} = 20$. Швидкодію схеми можна оцінити, зробивши допущення, що на всіх логічних елементах сигнал затримується на однакову величину - τ . Тоді підрахувавши найбільш довгий ланцюг розповсюдження сигналу від входу схеми до її виходу, можна оцінити швидкодію роботи схеми. В заданому випадку швидкодія дорівнює $T_{затр} = 3\tau$.

Література: [1-4; 5; 6; 11; 13]

Модуль 1. Комп'ютерна цифрова схемотехніка

СИНТЕЗ АСИНХРОННИХ ТРИГЕРІВ

Тема 4. Схемотехніка цифрових елементів

Лабораторне заняття № 6.

Мета заняття

1. Закріплення теоретичних знань стосовно методу синтезу асинхронних тригерів із заданими умовами функціонування на інтегральних мікросхемах різного функціонального базису.

2. Прищеплення навичок експериментального дослідження методу синтезу асинхронних тригерів, побудови та налагоджування функціональної схеми тригера, що синтезується, виявлення та усунення несправностей у схемі, а також визначення основних часових характеристик схеми.

Стислі теоретичні відомості

Тригери (від англ. trigger – спусковий гачок, засувка) представляють собою найпростіші послідовнісні пристрої. Вони широко використовуються в багатьох вузлах електронних апаратів у вигляді самостійних виробів або як базові елементи для побудови інших, більш складних приладів (лічильників, регістрів, запам'ятовувальних пристроїв).

До тригерів відносять великий клас пристроїв, загальною властивістю яких є здатність довгостроково залишатися в одному з двох (або декількох) можливих стійких станів і стрибком чередувати їх під впливом зовнішніх сигналів. Кожний стан легко розпізнається за значенням вихідних напруг.

Одне з основних застосувань тригерів – запам'ятовування інформації. Під пам'яттю тригера мають на увазі здатність залишатися в заданому стані й після припинення дії перемикаючого сигналу.

Прийнявши один зі станів за **1**, а інший за **0**, можна вважати, що тригер зберігає (пам'ятає) один розряд числа, записаного у двійковому коді.

Поняття "тригер" охоплює багато видів пристроїв, які істотно розрізняються між собою за функціями, які виконують, схемним виконанням, способами керування, електричними і конструктивними параметрами.

У найпростішому виконанні тригер є симетричною структурою з двома логічними елементами **ЧИ-НІ** або **І-НІ**, охопленими перехресним позитивним зворотним зв'язком. Такі тригери називають симетричними. Функціональна схема симетричного тригера на основі логічних елементів **ЧИ-НІ**, його умовне графічне зображення та часові діаграми роботи представлені на рис. 39. Цей тригер (бістабільна комірка, комірка пам'яті, асинхронний **RS**-тригер) володіє двома стійкими станами, які забезпечуються за рахунок зв'язку виходу кожного елемента з одним із входів іншого. Вільні входи служать для керування й називаються інформаційними, або логічними.

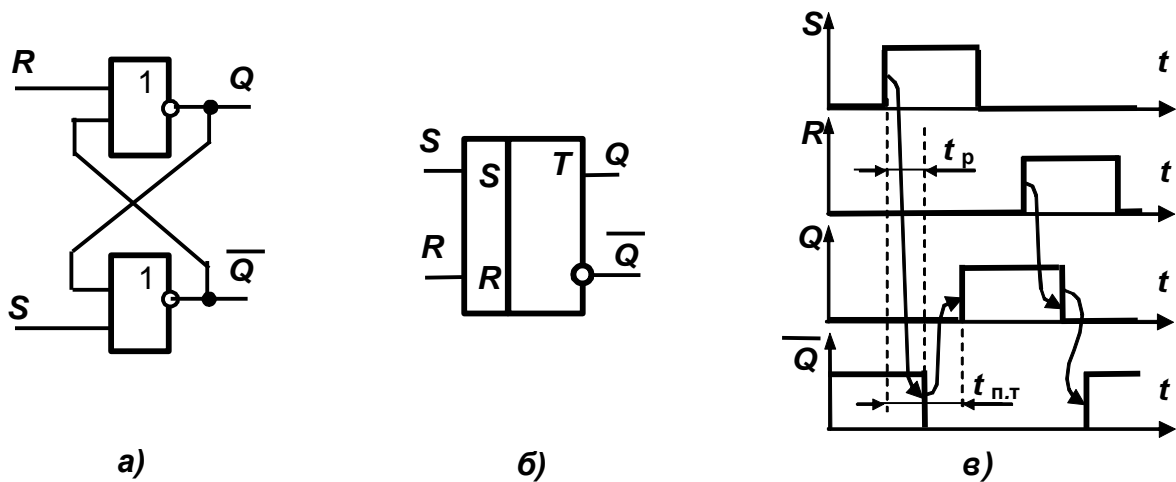


Рис. 38. Асинхронний **RS**- тригер на елементах **ЧИ-НІ**:

- а – логічна структура;
- б – умовне графічне позначення;
- в – часові діаграми роботи.

Симетрія схеми не означає симетрії електричних режимів обох каскадів. За рахунок перехресного з'єднання виходів і входів створюються умови, при яких при відсутності вхідних сигналів один із логічних елементів буде замкнений, а інший - відкритий.

Одному з виходів тригера привласнюють найменування прямого (у

силу симетрії схеми ним може бути будь-який) і позначають літерою Q , а іншому – найменування інверсного й позначають \bar{Q} ("не ку", "ку під рисою"), щоб підкреслити, що в логічному змісті сигнал на цьому виході протилежний першому. Стан тригера часто ототожнюють із сигналом на прямому виході, тобто говорять, що тригер перебуває в одиничному стані, коли $Q = 1$, а $\bar{Q} = 0$, і в нульовому, коли $Q = 0$, а $\bar{Q} = 1$.

Зміна станів тригера здійснюється зовнішніми сигналами. Назва цього процесу має багато синонімів: перемикання, перекидання, запис інформації. Початок перекидання відбувається з приходом позитивного перепаду напруги на вхід закритого елемента. Вхід, за яким тригер устанавлюється в одиничний стан ($Q = 1$; $\bar{Q} = 0$), називають входом S (від англ. set — установка), а в нульове ($Q = 0$, а $\bar{Q} = 1$) – входом R (reset – скидання, повернення).

На входах тригера можливі чотири комбінації сигналів:

- 1) $S(t) = R(t) = 0$;
- 2) $S(t) = 0, R(t) = 1$;
- 3) $S(t) = 1, R(t) = 1$;
- 4) $S(t) = R(t) = 0$;

де t — дискретний момент часу.

Кожній комбінації відповідає певна поведінка тригера.

Тривалість перемикання тригера $t_{п.т}$ визначається сумою затримки розповсюдження t_p затримок сигналу під час проходження через логічні елементи $t_{п.т} = 2t_p$. Тривалість вхідного сигналу визначається з умови $t_i \geq t_{п.т}$. На практиці для надійності перемикання тригера тривалість вхідного імпульсу збільшують на одну затримку, тобто $t_i = 3t_p$. Максимальна і робоча частота перемикання тригера відповідно дорівнюють

$$f_{\max} = \frac{1}{2t_p} \quad \text{і} \quad f_p = \frac{1}{3t_p}.$$

Тригер, який перемикається сигналами логічної одиниці, називають тригером з прямим керуванням. Таблиці станів (таблиці переходів), що характеризують роботу тригерів, можна представити в

повній (табл. 11) та мінімізованій табличній формі (табл. 12).

Таблиця 11
Стани RS- тригера з прямим управлінням

<i>t</i>			<i>t+1</i>	
<i>Q(t)</i>	<i>R(t)</i>	<i>S(t)</i>	<i>Q(t+1)</i>	$\overline{Q(t+1)}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	н/в	н/в
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	н/в	н/в

Таблиця 12
Стани RS- тригера з прямими входами

(мінімізована форма)

<i>t</i>		<i>t+1</i>	Стан тригера
<i>R(t)</i>	<i>S(t)</i>	<i>Q(t+1)</i>	
0	0	<i>Q(t)</i>	Зберігання
0	1	1	Встановлення 1
1	0	0	Встановлення 0
1	1	н/в	Невизначений

Таблицям переходів відповідає карта Карно (рис. 40), де невизначені значення тригера позначені знаком ~.

<i>Q(t)</i>	<i>R(t), S(t)</i>			
	00	01	11	10
0	0	1	~	0
1	1	1	~	0

Рис. 40. Карта Карно для RS-тригера

Невизначений стан тригера означає, що неможливо впевнено сказати який з двох сигналів 0 або 1 буде знаходитися на виході тригера. Тому на практиці комбінація вхідних сигналів $R(t) = S(t) = 1$ для RS-тригера вважається забороненою.

З карти Карно можна отримати логічний вирази для вихідного сигналу RS-тригера в залежності від того, якими сигналами 0 або 1 заповнити невизначені набори карти Карно:

$$Q(t+1)_1 = S(t) + \overline{R(t)}Q(t);$$

$$Q(t+1)_0 = \overline{R(t)}(S(t) + Q(t)).$$

Логічна структура та спосіб графічного зображення RS-тригера на елементах І-НІ приведені на рис. 41. Схемно вони не відрізняються від тригера на елементах ЧИ-НІ, але закон функціонування має інший, оскільки елементи І-НІ перемикаються сигналами логічного нуля $R(t) = 0$, або $S(t) = 0$.

Таблиця переходів (мінімізована форма) тригерів цього виду наведена в табл. 13.

Таблиця 13

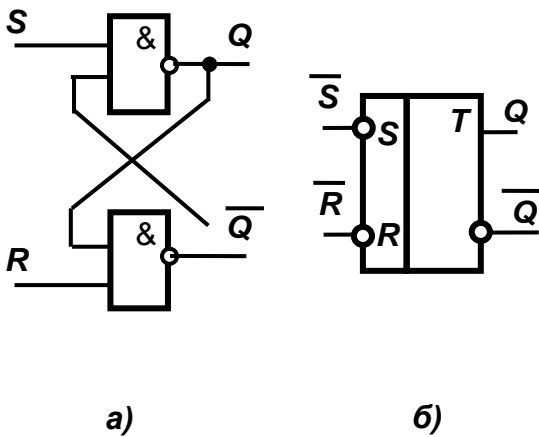


Рис. 41. Асинхронний RS-тригер на елементах ЧИ-НІ:

а – логічна структура;
б – умовне графічне позначення.

Стани RS-тригера з інверсними входами (мінімізована форма)

t		$t+1$	Стан тригера
$R(t)$	$S(t)$	$Q(t+1)$	
0	0	$Q(t)$	Невизначений
0	1	1	Встановлення 0
1	0	0	Встановлення 1
1	1	н/в	Зберігання

У сучасній мікроелектроніці тригери використовуються, як правило, у вигляді системи, яка складається з комірки пам'яті (за типом, що приведений вище) та схеми управління (рис. 42).

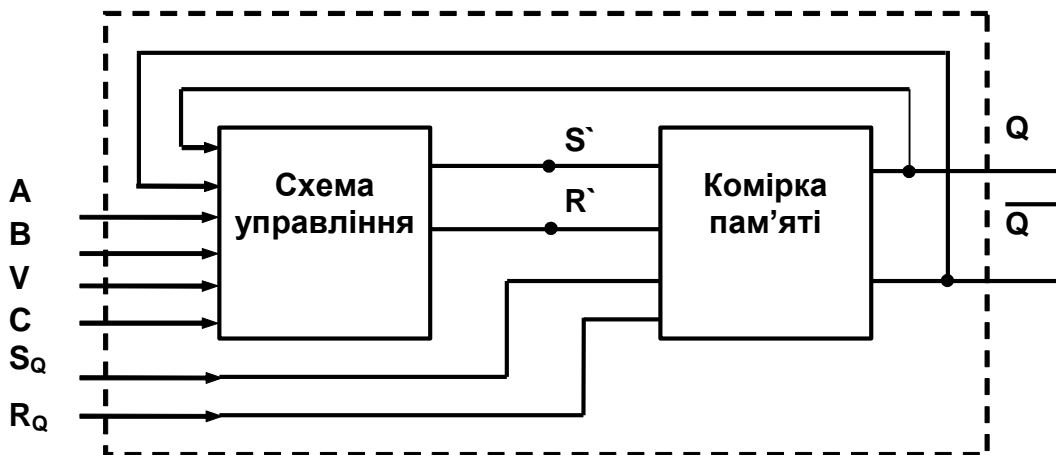


Рис. 42. Структурна схема тригерної системи (загальний випадок)

Схема управління представляє собою комбінаційний пристрій, що перетворює вхідну інформацію в комбінацію сигналів, під впливом яких, власне кажучи, тригер приймає одне з двох своїх стійких станів.

Характерною рисою тригерних систем в інтегральному виконанні є те, що тригер та система управління складають єдиний функціональний

вузол і в схемному, і в конструктивному відношенні.

Головна роль у формуванні властивостей тригера належить схемі управління. В схемному відношенні схеми управління відрізняються великою різноманітністю.

Логічна структура схеми управління, кількість і призначення входів, зворотні зв'язки з виходу комірки пам'яті на входи — все це визначає функціональні властивості тригерної системи в цілому. Змінюючи схему управління і способи її зв'язків з коміркою пам'яті, можна отримати тригери з різними функціональними властивостями. У простішому варіанті схема управління може бути відсутньою. У цьому випадку вхідні сигнали впливають безпосередньо на входи запам'ятовувальної комірки як у схемах, представлених на рис. 39, 40.

Вхідні сигнали в залежності від ролі, котрі виконуються підрозділяються на три категорії: інформаційні (логічні), ті, що підготовлюють (дозволяють) і виконавчі (командні).

Сигнали на інформаційних входах визначають інформацію, яка буде записана в тригер. Роль сигналів, що підготовлюють, і виконавчих сигналів – допоміжна: за допомогою підготовчих сигналів можна в необхідний момент перервати дію тригера або групи тригерів, зберігши інформацію на виході. Виконавчі сигнали задають момент прийому вхідної інформації тригером і служать для синхронізації роботи ряду пристроїв, утворюючий функціональний вузол. Ці сигнали часто так і називають – синхронізуючими або тактовими.

Входи тригера за характером вхідних сигналів підрозділяються на ті ж три категорії: інформаційні (логічні), передустановлення (підготовчі) і тактові (синхронізуючі). Інформаційні входи є у всіх тригерів, тоді як підготовчі і тактові можуть бути відсутні.

Функціональне призначення входів тригера приведено в табл. 14.

Таблиця 14

Призначення входів тригера

Умовне позначення	Призначення
1	2
<i>Інформаційні входи (А, В)</i>	
S	Вхід роздільної установки тригера в стан 1.
R	Вхід роздільної установки тригера в стан 0.
J	Вхід установки JK- тригера в стан 1.

1	2
K	Вхід установки JK- тригера в стан 0.
T	Вхід лічильного тригера (лічильний вхід)
D	Вхід установки D- тригера в стан 1 і 0.
<i>Управляючі входи</i>	
V	Підготовчий вхід дозволу прийому інформації
<i>Виконавчі входи</i>	
C	Виконавчий вхід прийому інформації (вхід синхронізації, тактуючий вхід)

Рекомендації для підготовки до лабораторного заняття

Для виконання завдань лабораторного заняття необхідно впевнено володіти методикою синтезу схеми управління комірки пам'яті з метою надання цій тригерній системі заданих умов функціонування, а також методами синтезу (реалізації) логічних функцій в заданому функціональному базисі логічних елементів. Моделювання роботи тригера, що був синтезований, здійснюється за допомогою засобів програмного середовища **Electronics Workbench**.

Питання для самоконтролю:

1. Дати визначення тригера.
2. Пояснити принцип функціонування **RS**-тригера з прямим (зворотним) управлінням.
3. Записати таблицю станів для **RS**-тригера.
4. Представити умови функціонування **RS**-тригера з прямим (зворотним) управлінням за допомогою Карти Карно.
5. Пояснити принцип побудови тригерної комірки.

Завдання для опрацювання на лабораторному занятті

Завдання № 1

Згідно з заданим варіантом (табл. 15), на базі простішої комірки пам'яті синтезувати асинхронний тригер із заданими властивостями і в заданому функціональному базисі логічних елементів.

Завдання № 2

Побудувати діаграми роботи тригера та визначити час затримки перемикавання тригера, а також мінімальну тривалість вхідних імпульсів і максимальну частоту перемикавання тригера.

Варіанти до завдання

№ Варіанту	Тригер що синтезується			Тригерна комірка на базі якої проводиться синтез			Функціональний базис схеми управління		
	Тип	Входи		Тип	Входи		I, ЧИ, НІ	I-НІ	ЧИ-НІ
		Прямі	Інверсні		Прямі	Інверсні			
1	RV	v		RS		v	v		
2	SV		v	RS	v			v	
3	JKV	v		RS		v			v
4	EV		v	RS	v		v		
5	DV	v		RS		v		v	
6	RV		v	RS	v				v
7	SV	v		RS		v	v		
8	JKV		v	RS	v			v	
9	EV	v		RS		v			v
10	DV		v	RS	v		v		
11	RV	v		RS		v		v	
12	SV		v	RS		v			v
13	JKV	v		RS	v		v		
14	EV		v	RS		v		v	
15	DV	v		RS		v			v
16	RV		v	RS	v		v		
17	SV	v		RS		v		v	
18	JKV		v	RS		v			v
19	EV	v		RS	v		v		
20	DV		v	RS		v		v	
21	SV	v		RS		v			v
22	JKV		v	RS	v		v		
23	DV	v		RS		v		v	
24	RV		v	RS		v			v
25	SV	v		RS	v		v		
26	JKV		v	RS		v		v	
27	EV	v		RS		v			v
28	SV		v	RS	v		v		
29	RV	v		RS		v		v	
30	DV		v	RS	v				v

Зміст звіту

1. Таблиця переходу тригеру, що синтезується.
2. Граф переходу тригеру, що синтезується..
3. Повна таблиця переходу тригеру що синтезується.
4. Порядок синтезу та функціональна схема формування функцій збудження базової тригерної комірки пам'яті.

4. Результати моделювання синтезованого комбінаційного пристрою засобами **Electronics Workbench** в заданому функціональному базисі логічних функцій.

5. Часові діаграми роботи тригера та розрахунки часових параметрів згідно з умовами завдання № 2.

5. Висновки, що відображають підсумки синтезу тригера та оцінку складності синтезованої схеми тригера.

Контрольні запитання

1. Розкрити суть задачі синтезу тригерів.
2. Дати характеристику основним етапам синтезу тригерів.
3. Пояснити порядок реалізації логічних функцій у заданому базисі.
4. Привести структурну схему тригерної системи та дати характеристику її функціональним елементам і зв'язкам.
5. Пояснити порядок побудови графу переходів тригера.
6. Яким чином відбувається оцінка часових параметрів синтезованого тригера?
7. Пояснити принцип функціонування комірки пам'яті перетворювача за швидкістю та складністю.
8. Дати характеристику умов функціонування **RS**, (**JK**, **R**, **S**, **T**, **D**) тригерів.

Довідкові дані

Варіант виконання завдання №1

Припустимо, що згідно з завданням треба на основі **RS**-тригера з інверсними входами побудувати **DV** тригер на логічних елементах **ЧИ-НІ**.

Етап № 1

Складаємо таблицю переходів асинхронного тригера **DV**-типу (табл. 16). Приймаємо до уваги той факт, що вхід **V** належить до управляючих входів і сигнал на цьому вході дозволяє тригеру здійснювати прийом інформації.

Таблиця 16

Стани DV - тригера з прямим управлінням

t			$t+1$	
$V(t)$	$D(t)$	$Q(t)$	$Q(t+1)$	$\overline{Q(t+1)}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	1	0

Етап № 2

З повної таблиці переходів (табл. 17) находимо всі припустимі комбінації сигналів на входах D та V які забезпечують всі чотири типи переходів $Q(t) \rightarrow Q(t+1)$ (рис. 43).

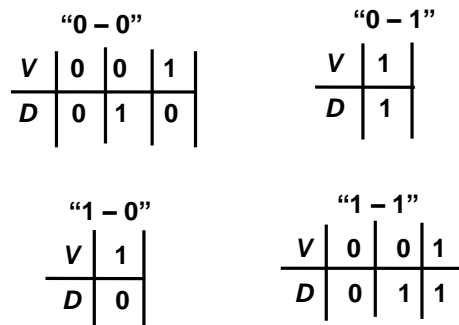


Рис. 43. Забезпечення переходів тригера $Q(t) \rightarrow Q(t+1)$.

Етап № 3

Будуємо граф переходів DV -тригера (рис. 43). Для цього позначимо нульовий стан тригера через a_0 , а одиничний стан тригера – через a_1 . Для дуги, що виходить із a_0 і входить в a_0 шляхом врахування диз'юнкції всіх кон'юнкцій сигналів на входах D та V , які забезпечують даний перехід (рис. 42.) отримаємо вираз $\overline{V}\overline{D} \vee \overline{V}D \vee V\overline{D}$, який за допомогою аксіом алгебри логіки спрощуємо до $\overline{V} \vee \overline{V}D$. Аналогічним чином для дуги із a_0 в a_1 отримуємо VD , для дуги із a_1 в a_0 отримуємо $V\overline{D}$, та для дуги з a_1 до a_1 – $\overline{V}\overline{D} \vee \overline{V}D \vee VD = \overline{V} \vee VD$.

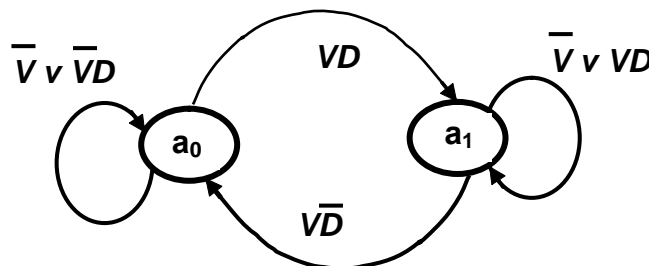


Рис. 44. Граф переходів DV -тригера

Етап № 4

Складемо повну таблицю переходів **DV**-тригера з врахуванням того, що в якості комірки запам'ятовування використовується **RS**-тригер з інверсними входами, звертаючи увагу на можливість невизначених станів входів **RS**-тригера при забезпеченні заданих переходів тригера для подальшої мінімізації функцій збудження цих входів.

Таблиця 17

Повна таблиця переходів DV-тригера на базі RS-тригера з інверсними входами

t			t+1	$\overline{R}^*(t)$	$\overline{S}^*(t)$
V(t)	D(t)	Q(t)	Q(t+1)		
0	0	0	0	~	1
0	0	1	1	1	~
0	1	0	0	~	1
0	1	1	1	1	~
1	0	0	0	~	1
1	0	1	0	0	1
1	1	0	1	1	0
1	1	1	1	1	~

Етап № 5

За допомогою карт Карно визначимо функції збудження **R'S'**-тригера з врахуванням вимог завдання щодо побудови схеми тригера на елементах **ЧИ-НІ** (рис. 45).

	V, D				$R^*(t)$
Q	00	01	11	10	
0	~	~	1	~	
1	1	1	1	0	

	V, D				$S^*(t)$
Q	00	01	11	10	
0	1	1	0	1	
1	~	~	~	1	

$$R^*(t) = V(t) \vee \overline{D(t)}$$

$$S^*(t) = \overline{V(t)} \vee \overline{D(t)}$$

Рис. 45. Визначення функцій збудження RS-тригера

Етап № 6

За отриманими логічними функціями збудження будемо функціональну схему **DV**-тригера. За допомогою аксіом алгебри логіки представляємо логічні функції R' та S' в заданому структурному базисі.

$$R'(t) = \overline{\overline{V(t)} \vee D(t)} = \overline{\overline{\overline{V(t)} \vee D(t)}},$$

$$S'(t) = \overline{\overline{V(t)} \vee D(t)} = \overline{\overline{\overline{V(t)} \vee D(t)}}.$$

Етап № 7

Будемо функціональну схему **DV**-тригера (рис. 46) в заданому базисі **ЧИ-НІ**.

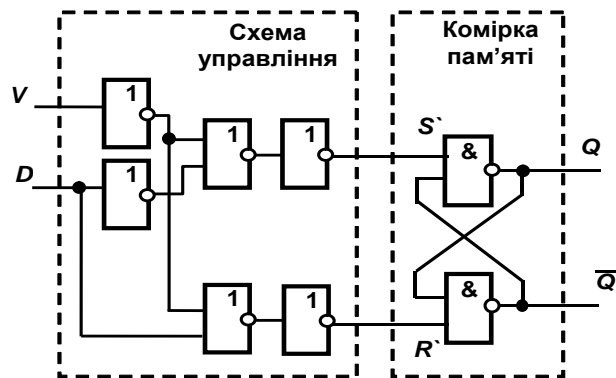


Рис.46. Функціональна схема **DV**-тригера

Етап № 8

Використовуючи засоби програмного пакета моделювання **Electronics Workbench**, будемо синтезовану схему **DV**-тригера для подальшої експериментальної перевірки методу синтезу асинхронних тригерів (рис. 47).

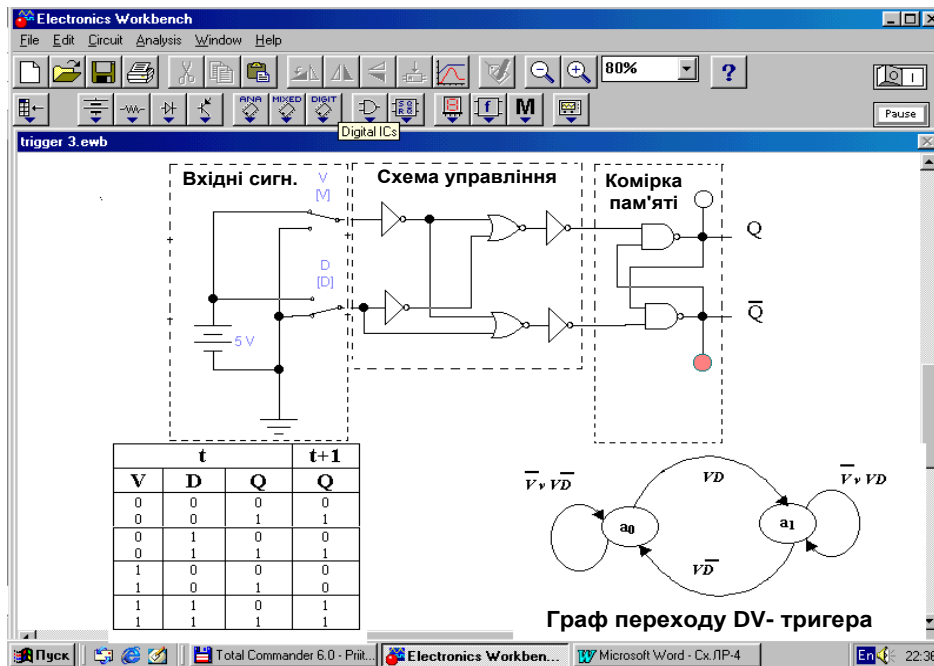


Рис. 47. **Схема дослідження функціонування DV-тригера**

Треба мати на увазі той факт, що іноді під час моделювання умов функціонування синтезованої схеми тригера іноді спостерігається його самопроизвольне переключення, тобто при незмінних вхідних сигналах відбувається зміна стану тригера з досить великою частотою. Причиною цього явища є певні обмеження спроможностей програмного пакета **Electronics Workbench**. Для усунення цього явища рекомендується під час побудови схеми використовувати логічні елементи з реальними характеристиками, насамперед щодо часу затримки розповсюдження сигналів.

Варіант виконання завдання №2

Для синтезованої схеми **DV**-тригера приводимо умови його функціонування в графічній формі (діаграму роботи вхідних та вихідних сигналів (рис. 47).

На підставі аналізу функціональної схеми синтезованого **DV**-тригера в заданому базисі можна визначити деякі важливі часові характеристики його роботи:

- *час перемикання тригера $t_{п.т.}$* . Цей час складається з затримки розповсюдження сигналів у схемі управління та затримки перевимикання безпосередньо комірки пам'яті.

Як видно з рис. 46, вхідний сигнал **D** досягне входу **S'** комірки пам'яті через час затримки розповсюдження (t_p) сигналів на трьох логічних елемента **ЧИ-НІ** ($3 t_p$), а входу **R'** цей сигнал досягне через

час затримки на двох логічних елементах **ЧИ-НІ** ($2 t_p$), Враховуючи те, що час перекидання стану самої комірки пам'яті складається з затримки сигналу на двох логічних елементах **І НІ** ($2 t_p$), можна стверджувати, що загальний час перекидання тригера в стан логічної "1" потребує затримки вхідного сигналу **D** на п'яти логічних елементах **І-НІ** ($5 t_p$), а час перекидання тригера в стан логічного "0" потребує затримку вхідного сигналу **D** на чотирьох логічних елементах **І НІ** ($4 t_p$). Якщо прийняти до уваги той факт, що затримка розповсюдження сигналу в одному логічному елементі рівняється **20 нс** ($t_p = 20 \text{ нс}$), то час перемикання тригера в стан логічної "1" визначається як $t_{п.т \text{ лог "1"}} = 5 \cdot 20 \text{ нс} = 100 \text{ нс}$, а час перемикання тригера в стан логічного "0" - $t_{п.т \text{ лог "0"}} = 4 \cdot 20 \text{ нс} = 80 \text{ нс}$.

частоту роботи **DV**-тригера, що зображений на рис. 46, визначатимемо, як

$$f_p = \frac{1}{5t_p} = \frac{1}{100 \cdot 10^{-9}} = 10 \cdot 10^6 \text{ Гц} = 10 \text{ мГц}.$$

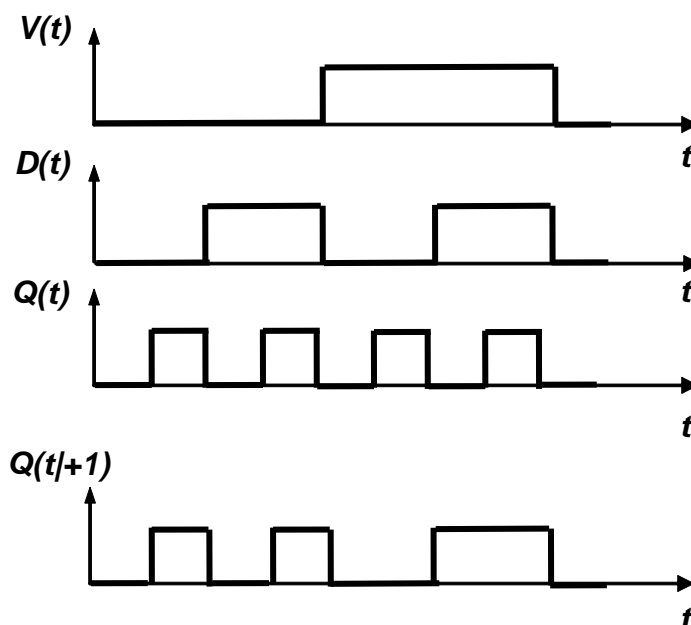


Рис. 48. Часова діаграма роботи **DV**-тригера

мінімальну тривалість імпульсу вхідного сигналу **D**. Цей параметр залежить від часу, потрібного для стійкого перевимикання комірки пам'яті, тобто $2 \times 20 = 40 \text{ нс}$. при умові, що сигнали збудження комірки

пам'яті (S' та R') починають свою дію одночасно. Аналіз синтезованої схеми DV-тригера (рис. 45) показує, що сигнал збудження R' формується на **20 нс** раніше, ніж сигнал S' , внаслідок чого мінімальна тривалість вхідних інформаційних імпульсів повинна складати величину не меншу, ніж **60 нс** для надійного функціонування тригерної комірки. Отже, максимальна частота роботи синтезованого тригера буде дорівнюватися

$$f_{max} = \frac{1}{3t_p} = \frac{1}{60 \times 10^{-9}} = 16,67 \text{ мГц.}$$

Література: [1-4; 5; 6; 11, 13]

Модуль 1. Комп'ютерна цифрова схемотехніка

ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ РЕГІСТРІВ

Тема 5. Схемотехніка цифрових вузлів

Лабораторне заняття № 7.

Мета заняття

1. Вивчення принципів побудови та функціонування регістрів на інтегральних мікросхемах, організації порядку запису інформації в паралельному та послідовному кодах, а також зсуву інформації в бік старших або молодших розрядів.

2. Прищеплення навичок експериментального дослідження властивостей регістрів, а також побудови та налагоджування електронних схем регістрів за допомогою програмного забезпечення **Electronics Workbench**, що дозволяє здійснювати моделювання роботи аналогових та цифрових електронних схем.

Стислі теоретичні відомості

Регістром називається цифровий пристрій, що здійснює прийом, зберігання і видачу двійкових кодів, а також виконання над ними деяких логічних операцій.

Регістри призначені для короткочасного запам'ятовування двійкової інформації або її обробки за незмінними правилами.

Регістри відносяться до найбільш широко розповсюджених типових цифрових пристроїв. Вони застосовуються як пристрої буферної пам'яті, елементів затримки на кілька тактів, перетворювачів послідовних кодів у паралельні й, навпаки, кільцевих розподільників сигналів, формувачів дискретних послідовностей тощо.

Залежно від функціональних властивостей і особливостей схемної побудови існують:

регістри пам'яті, що здійснюють прийом, зберігання двійкового коду і його видачу в прямому або інверсному виглядах, а також забезпечують виконання над двійковими кодами порозрядних логічних операцій:

диз'юнкції, кон'юнкції й додавання за модулем два (її ще називають порівнянням кодів);

реєстри зсуву, що виконують зсув розрядів вихідного коду щодо розрядів вхідного коду вліво або вправо;

універсальні реєстри, які з'єднують можливості реєстрів пам'яті й реєстрів зсуву.

Залежно від кількості виводів, що використовуються для передачі одного розряду коду, способу прийому і видачі інформації через статичні входи і виходи реєстрів можуть бути однофазними або парафазними.

При однофазному способі кожний розряд передається через єдиний вивід – прямий або інверсний, а при парафазному способі – одночасно через два виводи – прямий і інверсний.

Парафазний спосіб виключає необхідність введення додаткових інверторів, якщо для роботи схеми необхідна наявність як прямого, так і інверсного значення сигналу. Однак цей спосіб приводить до двохкратного збільшення кількості виводів і тому в інверсній схемотехніці застосовується головним чином для передачі інформації всередині мікросхеми. Через зовнішні ж виводи типових пристроїв в інтегральному виконанні інформація передається, як правило, однофазним способом.

У залежності від тимчасової організації процесу прийому багаторозрядного коду до реєстру (або його видачі) існують:

паралельний спосіб, коли всі розряди коду приймається або видаються одночасно;

послідовний спосіб, при якому розряди коду приймаються або видаються по черзі, один за одним.

Ці способи часто називають прийомом (видачею) інформації в паралельному й послідовному кодах.

У реєстрах пам'яті використовується паралельний спосіб прийому й видачі кодів (тобто всі розряди коду приймаються або видаються одночасно). У реєстрах зсуву прийом кодів, як правило, здійснюється послідовно, а їхня видача – послідовно або паралельно. В універсальних реєстрах використовуються обидва способи.

На схемах реєстри позначаються символом **RG**. Якщо реєстр є реєстром зсуву, то праворуч від символу ставиться стрілка, що вказує напрямок зрушення (наприклад, **RG** → - реєстр зі зрушенням вправо, **RG** ↔ реверсивний реєстр).

Реєстри пам'яті найбільш прості за схемою. Їхнє призначення –

зберігати двійковий код протягом короткого проміжку часу. Вони становлять набір тригерів, кожний з яких зберігає один розряд коду.

Приєм (запис, занесення, введення) інформації в регістри пам'яті здійснюється паралельно.

Однофазний прийом інформації до регістрів на тригерах з роздільними входами (**JK**) реалізований у схемі на рис. 49-а і пояснюється на прикладі тригера першого розряду часовими діаграмами (рис. 49 б).

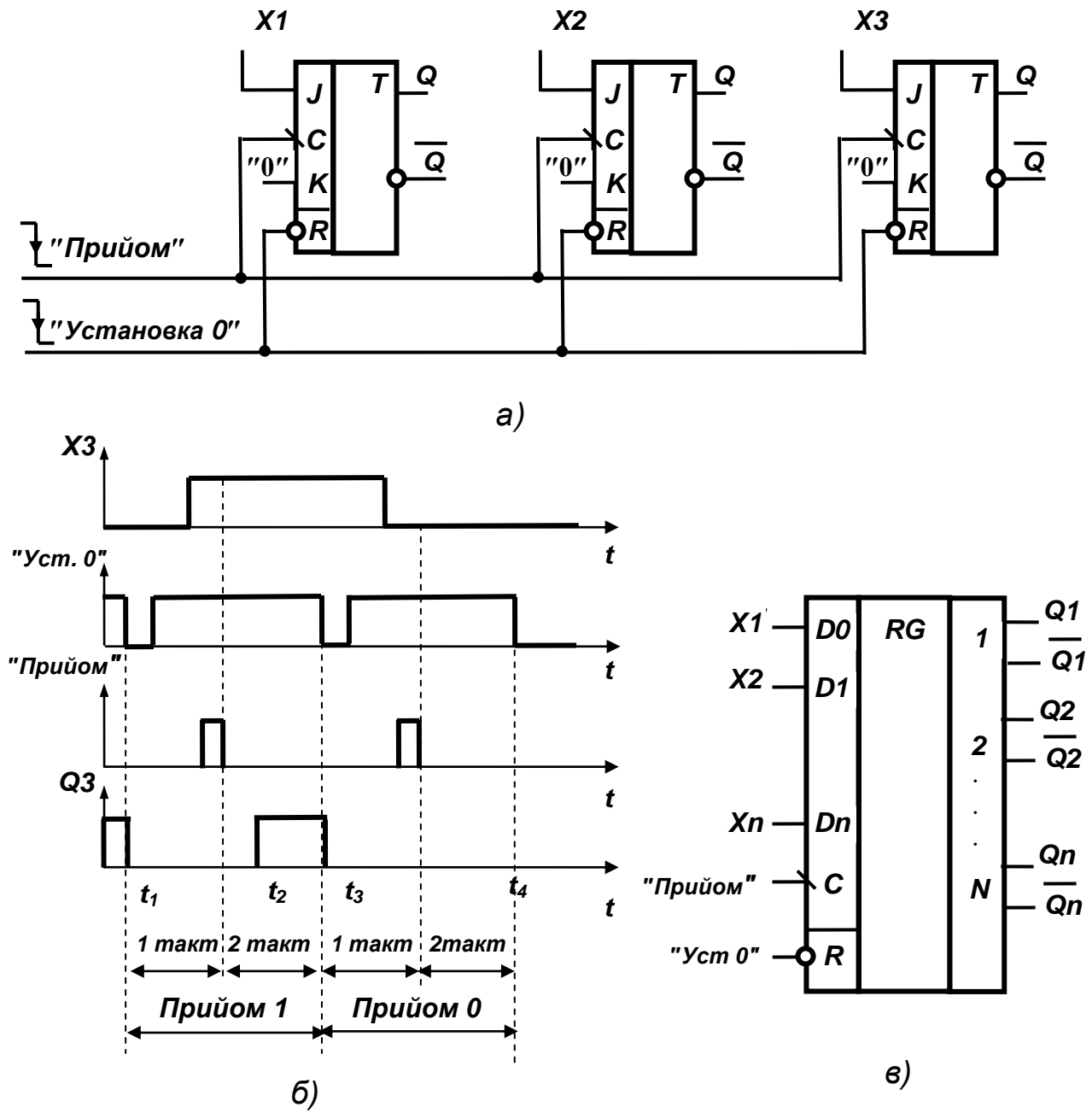


Рис. 49. Однофазний прийом інформації в реєстр на синхронних **JK**-тригерах:

- а) функціональна схема;
- б) часові діаграми;
- в) графічне умовне позначення.

Прийом відбувається у два такти. У першому такті (моменти t_1, t_3) видається керуючий сигнал "Установка 0", за яким усі тригери встановлюються в нульовий стан. У другому такті (моменти t_2, t_4) подається сигнал "Прийом".

Якщо в цей час прийнятий розряд **X1** дорівнює одиниці (момент t_2),

то на входах відповідного тригера з'являється комбінація сигналів, що встановлює його в стан "1" (для **JCK**-тригера $X_j = 1, X_k = 0$). При нульовому значенні X_i (момент t_3) комбінація сигналів, що з'являється, забезпечує збереження вихідного нульового стану тригера ($X_j = X_k = 0$).

При парафазному способі (рис. 50) прийом інформації до реєстра відбувається за сигналом "Прийом" за один такт. Виникаючими при цьому комбінаціями сигналів тригери реєстра встановлюються в новий стан незалежно від попереднього, внаслідок чого не потрібно їхньої попередньої установки в нуль. Недоліком цього способу є підвищені апаратні витрати, оскільки для прийому інформації необхідна більша кількість виводів.

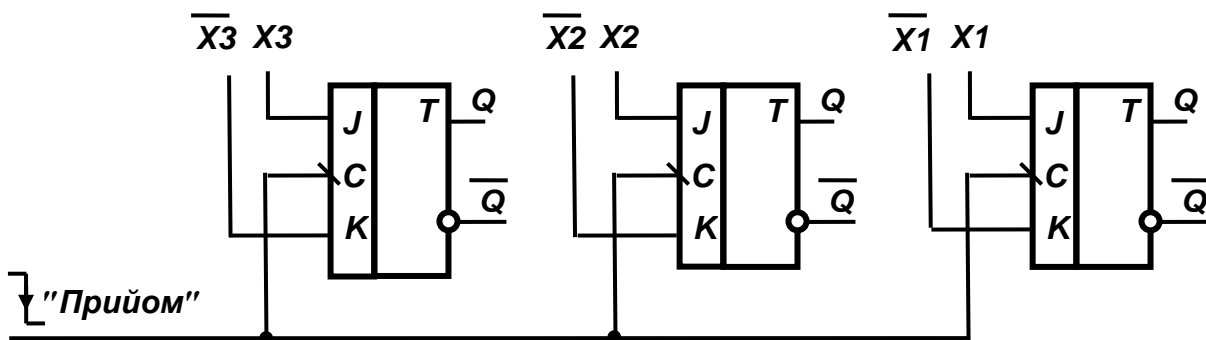


Рис. 50. Парафазний прийом інформації в реєстр на синхронних **JK**-тригерах

Реєстри зсуву складають основну масу реєстрів, що використовуються на практиці. Вони здатні зсувати всі розряди записаного в них коду вправо (у бік старших розрядів) або вліво (в бік молодших розрядів) на однакове число розрядів, як правило, на один розряд за один такт.

Для передачі інформації з розряду в розряд між тригерами реєстра зсуву організується спеціальний зв'язок.

У реєстрах без зворотних зв'язків розряд коду, що вийшов із реєстра вправо або вліво, губиться, а в розряд, що звільнився, може бути записане нове значення. Воно визначається сигналами на входах крайнього лівого тригера при зсуві вправо або крайнього правого тригера при зсуві вліво. Тим самим при зсувах можна здійснювати послідовне занесення розрядів нового коду в реєстр і одночасно видавати з реєстра в послідовному коді ту інформацію, яка в ньому зберігалася. У технічній літературі вхід для послідовного занесення інформації при зсуві вправо

позначається як **DR** (від англ. right), при зсуві вліво як **DL** (від англ. left). Виходи, через які відбувається послідовна видача інформації, спеціального позначення не мають, оскільки для цього використовується вихід крайнього розряду: при зсуві вправо – правого, при зсуві вліво –лівого.

У регістрі зсуву зі зворотними зв'язками є ланцюги зв'язку між старшими й молодшими розрядами. Найпростіший такий регістр – кільцевий –створюється шляхом замикання звичайного регістра, що зрушує, у кільце.

Оскільки в момент зсуву тригер *i*-го розряду повинен передати збережену інформацію до *i + 1* розряду і одночасно прийняти інформацію з *i - 1*-го розряду, то при потенційній системі елементів обидві ці операції не можуть бути виконані на однотоктному тригері. Тому для побудови регістрів зсуву використовуються двотактні тригери.

На рис. 50 зображені схеми регістрів із зсувом вправо, побудовані на різних тригерах. У них по передньому фронту (зміна з 0 на 1) синхроімпульсу на вході **C** відбувається прийом інформації з кожного *i*-го тригера в першу ступінь *i + 1*-го тригера, розташованого праворуч від нього. По задньому фронту синхроімпульсу (зміна з 1 на 0) відбувається прийом цієї інформації в другу ступінь і зміна стану тригера.

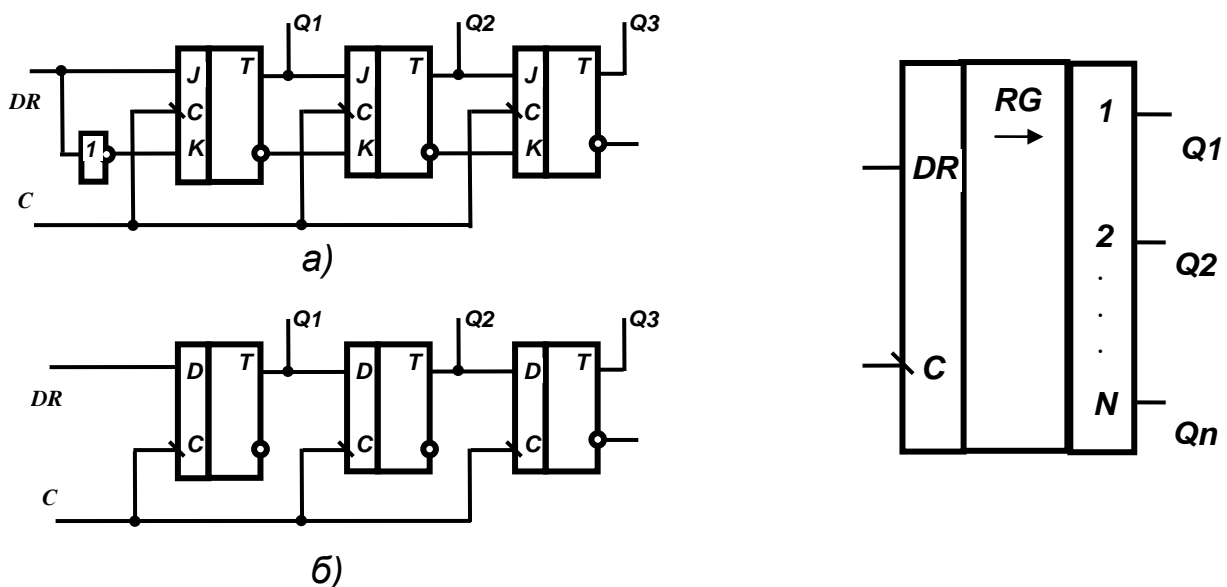


Рис. 51. Регістри із зсувом вправо:

- а) на JK-тригерах;
- б) на D-тригерах

Завдяки тому, що цей процес відбувається у всіх тригерах одночасно, вся інформація в регістрі зрушується вправо на один розряд.

Її правий розряд, що поступив з виходу **Q3**, губиться, а на місце, що звільнилося, у лівому розряді. записується інформація, яка надходила в момент спаду синхросигналу на вхід послідовного занесення **DR**. Подавши три синхроімпульси, через цей вхід у регістр можна прийняти в послідовному коді нову інформацію. Після цього її розряди вже в паралельному коді будуть надходити з виходів **Q1**, **Q2** і **Q3**. Інформація, що зберігалася в регістрі раніше, у процесі виконання зсувів буде надходити на вихід **Q3** у послідовному коді.

Регістр із зсувом вліво будується й функціонує аналогічно (рис. 52). Послідовне занесення інформації в нього відбувається через вхід **DL**, а її видача – через вихід **Q1**.

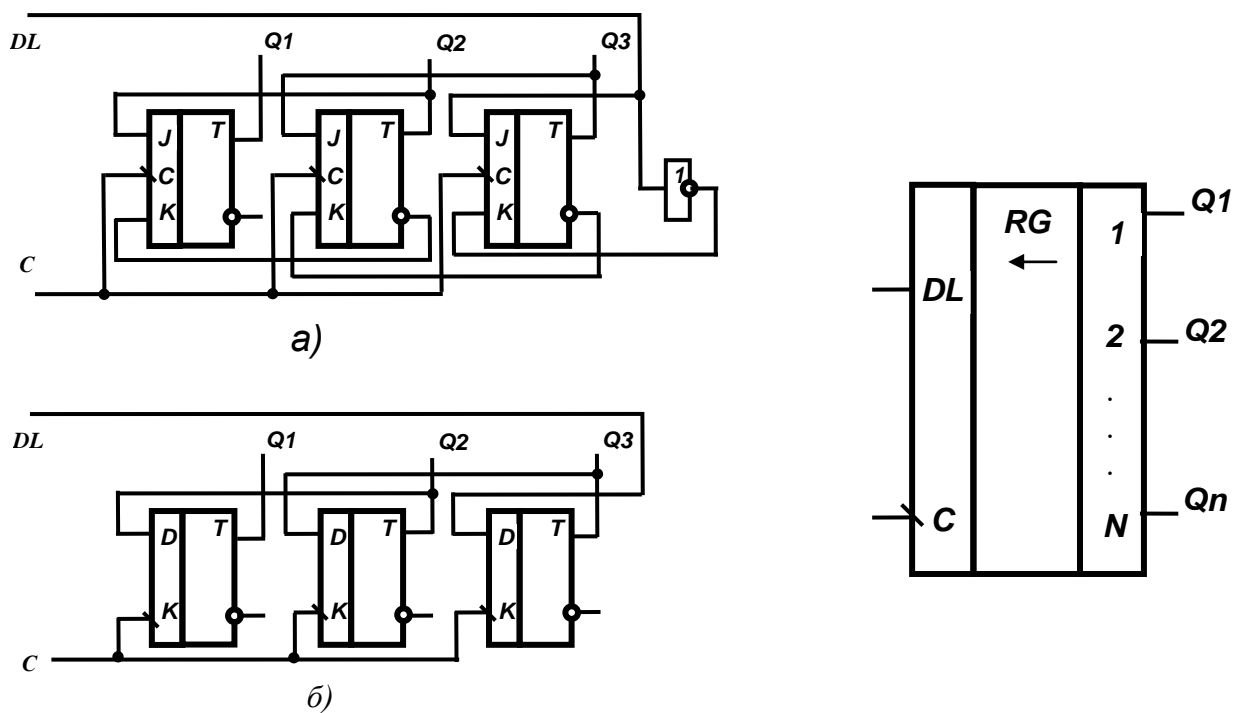
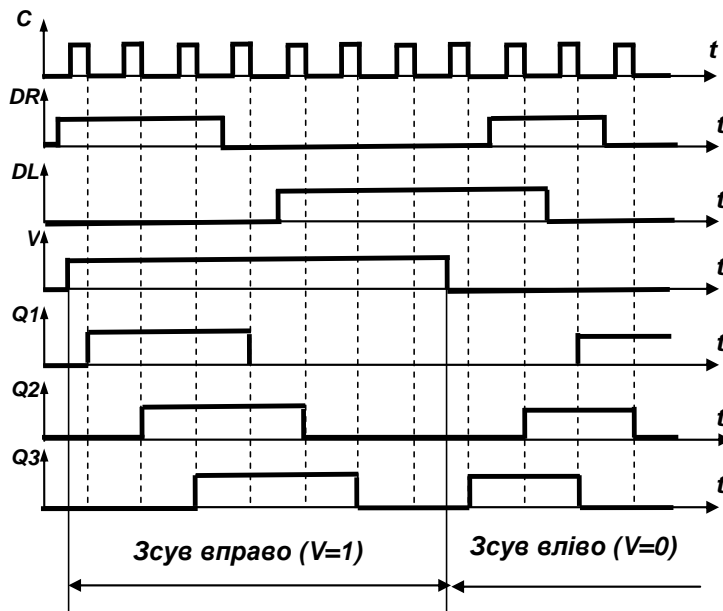
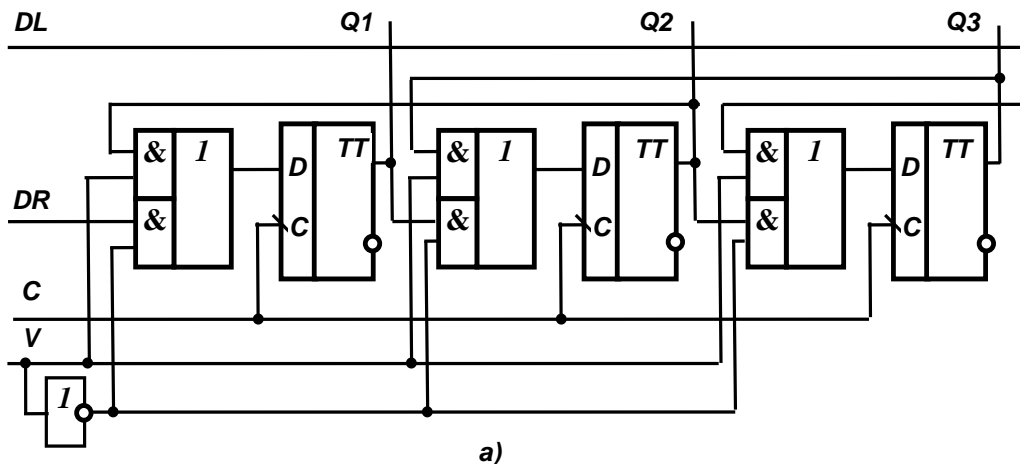


Рис. 52. Регістри із зсувом вліво:

- а) на *JK*-тригерах;
- б) на *D*-тригерах

Реверсивний регістр, що зсуває, у мікрозрядних ланцюгах містить комутуючі елементи, які під впливом сигналу на спеціальному керуючому вході (звичайно керуючі входи позначають через **V**) з'єднують тригери в схему зі зрушенням вправо або вліво. У схемі, зображеній на рис. 53-а, для комутації використовуються елементи I - **ЧИ**. При **V** = 1 верхні вентиля (схеми I) цих елементів відмикаються, а нижні закриваються, оскільки на входи нижніх вентилів цей сигнал поступає в інверсному

вигляді. В результаті на **D**-вхід кожного тригера подається сигнал з виходу **Q** тригера, що перебуває ліворуч від нього, як у схемі регістра із зсувом вправо (рис. 51-б). При $V = 0$ верхні вентиля елементів **I - ЧИ** закриваються, а нижні відмикаються. Тому на **D**-вхід кожного тригера буде надходити сигнал з виходу **Q**, що перебуває праворуч від цього тригера, що відповідає регістру із зрушенням вліво (рис. 52.б). При фіксованому значенні сигналу на вході **V** схема функціонує аналогічно відповідному регістру. Зміна цього сигналу приводить до реверса, тобто зміни напрямку зрушення.




б

Рис. 53. Реверсивний регістр зсуву:
 а) функціональна схема;
 б) приклад часових діаграм роботи

На рис. 53-б зображені часові діаграми, що пояснюють на конкретному прикладі функціонування регістра, всі розряди якого в момент $t = 0$ перебували в стані "0". На рис. 54 зображена таблиця режимів роботи цього регістра. В ній символ \sim (тильда) означає, що сигнали на вході регістра в цей момент на схему не впливають, і тому їхнє логічне значення байдужне.

Режим	Стан входів			
	V	DR	DL	C
Зсув вправо	0	X	\sim	 0
Зсув вліво	1	\sim	X	 0

Рис. 54. Таблиця режимів роботи реверсивного регістра зсуву

Символ X означає, що стан (X) даного входу в розглянутому випадку буде впливати на схему й повинен враховуватися при аналізі її функціонування. Символ  показує, що сигнал на даному вході впливає на роботу схеми тільки в момент зміни стану з "1" на "0", що характерно для інверсних динамічних входів.

Рекомендації щодо підготовки до лабораторного заняття

Для виконання завдань лабораторного заняття необхідно впевнено володіти питаннями організації паралельного запису інформації в регістр з попереднім його обнулінням (запис в однофазному коді) та організації паралельного запису інформації в регістр без попереднього обнуління (запис в парафазному коді), а також організацією зсуву інформації в регістрі вправо (у бік молодших розрядів) та вліво (у бік старших розрядів).

Питання для самоконтролю:

1. Привести функціональну схему регістра з однофазним прийомом інформації на **RS**-тригерах з прямим (зворотним) управлінням.

2. Привести схему регістра з однофазним прийомом інформації на **D**-тригерах.
3. Пояснити принцип організації регістра зсуву.
4. Привести функціональну схему регістра зсуву вправо (вліво) на **D**-тригерах.
5. Пояснити принцип функціонування реверсивного регістра.

Завдання для опрацювання на лабораторному занятті

Завдання №1

За допомогою засобів **Electronics Workbench** побудувати та дослідити схему чотирьохрозрядного регістру на базі універсальних **JCK $\overline{R} \overline{S}$** - тригерів (**K155ТВ1**) з паралельним прийомом інформації:

- а) з попереднім обнулінням (з однофазним записом);
- б) без попереднього обнуління (з парафазним записом).

Забезпечити запис в цей регістр двійкового коду, що відповідає номеру студента за списком в журналі навчальної групи в прямому, а потім в інверсному вигляді.

Завдання № 2

За допомогою засобів **Electronics Workbench** побудувати та дослідити схему 4–розрядного регістру на основі мікросхеми **74194 (4-bit Bidirectional Univ. Shift Reg)**. Відповідно до заданого варіанту (табл. 18) здійснити запис двійкового коду у відповідній формі та забезпечити зсув цієї інформації у заданому напрямку та на задану кількість розрядів.

Таблиця 18

Варіанти до завдання № 2

№ варіанту	Код запису			Зсув інформації			
	паралельний	послідовний		вправо		вліво	
		з боку молодших розрядів	з боку старших розрядів	розрядів	циклічно	розрядів	циклічно
1	2	3	4	5	6	7	8
1			v				v
2		v				2	
3	v				v		
4			v	2			

1	2	3	4	5	6	7	8
5		v					v
6	v					3	
7			v		v		
8		v		3			
9	v						v
10			v			2	
11		v			v		
12	v			3			
13			v				v
14		v				1	
15	v				v		
16			v	2			
17		v					v
18	v					4	
19			v		v		
20		v		3			
21	v						v
22			v			2	
23		v			v		
24	v			1			
25			v				v
26		v				3	
27	v				v		
28			v	2			
29		v					v
30	v					2	

Зміст звіту

1. Функціональна схема регістру на базі комбінованих $JCK \overline{R} \overline{S}$ -тригерів (**K155ТВ1**) із записом паралельної інформації з попереднім обнулінням та часові діаграми його роботи.

2. Функціональна схема регістру на базі комбінованих $JCK \overline{R} \overline{S}$ -тригерів (**K155ТВ1**) із записом паралельної інформації без попереднього обнуління та часові діаграми його роботи.

3. Функціональна схема регістру зсуву та часові діаграми його роботи.

4. Висновки, в яких відображаються результати проведених досліджень.

Контрольні запитання

1. Дати визначення регістрів. Пояснити області застосування регістрів.
2. Дати характеристику існуючим способам запису інформації в регістр.
3. Якими властивостями повинен володіти регістр, щоб за його допомогою можна було побудувати перетворювач послідовного коду в паралельний та навпаки?
4. Охарактеризувати призначення входів регістру зсуву.
5. Поясніть принцип нарощування розрядності регістру за допомогою мікросхем регістрів меншої розрядності.
6. Яким чином можна побудувати циклічний зсув (вправо або вліво) інформації в регістрі?
7. На базі універсального $JCK \overline{R} \overline{S}$ -тригерів скласти схему паралельного регістру.
8. На базі універсального $JCK \overline{R} \overline{S}$ -тригерів скласти схему регістру зсуву.

Довідкові дані

Умовне графічне позначення комбінованих $JCK \overline{R} \overline{S}$ - тригерів (**K155TB1**) згідно з вимогами національної єдиної системи конструкторської документації та їх еквівалентне зображення в засобах **Electronics Workbench** (міжнародний стандарт) приведене на рис. 55.

Тригер **K155TB1** на кожний зовнішній синхросигнал має два внутрішніх такти у своїй роботі: попередній та кінцевий. Тому в умовному графічному зображенні цього тригера присутні дві літери **T**. Інформаційні входи **J** і **K** визначають зміну станів тригера при наявності імпульсу на лічильному вході, як показано в табл. 19.

Входи установки тригера працюють як і у **RS**-тригера з інверсними входами, причому сигнали на цих входах мають пріоритет над іншими входами тригера. Умови функціонування цього тригера наведені в табл. 19.

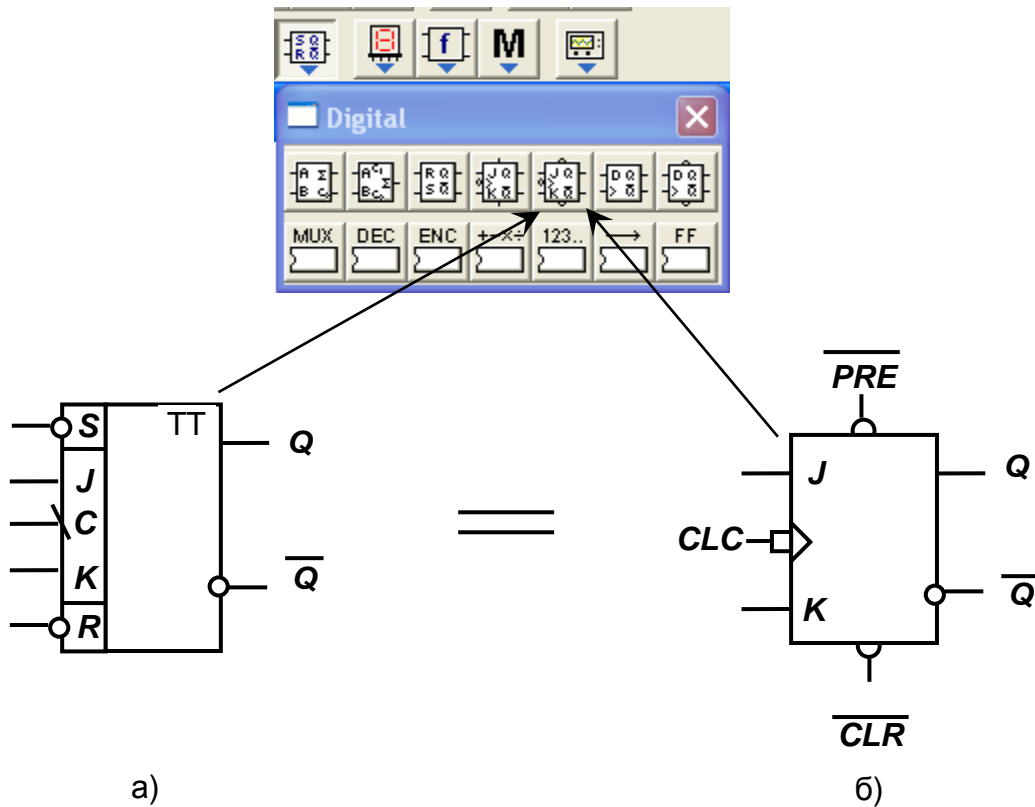


Рис. 55. Універсальний $JCK \overline{R} \overline{S}$ -триггер:

а - умовне графічне зображення згідно зі стандартом України;
 б - умовне графічне зображення згідно з міжнародними стандартами

Таблиця 19

Таблиця переходів комбінованого триггера K155ТВ1

Входи					Виходи
Установки в 1 (Preset)	Установки в 0 (Clear)	J	K	Синхроімпульсі в (Clock)	Q
0	0	~	~	~	~
0	1	~	~	~	1
1	0	~	~	~	0
1	1	0	0	-	Зберігання (Q)
1	1	0	1	T	0
1	1	1	0	T	1
1	1	1	1	T	Інверсія (Q)

T-тактовий імпульс, триггер спрацьовує в момент перепаду імпульсу з більш високого рівня на більш низький рівень.

Умовне графічне зображення 4-розрядного регістру зсуву та його еквівалентне зображення в засобах **Electronics Workbench (4-bit Bidirectional Univ. Shift Reg серії 74194)** приведено на рис. 56.

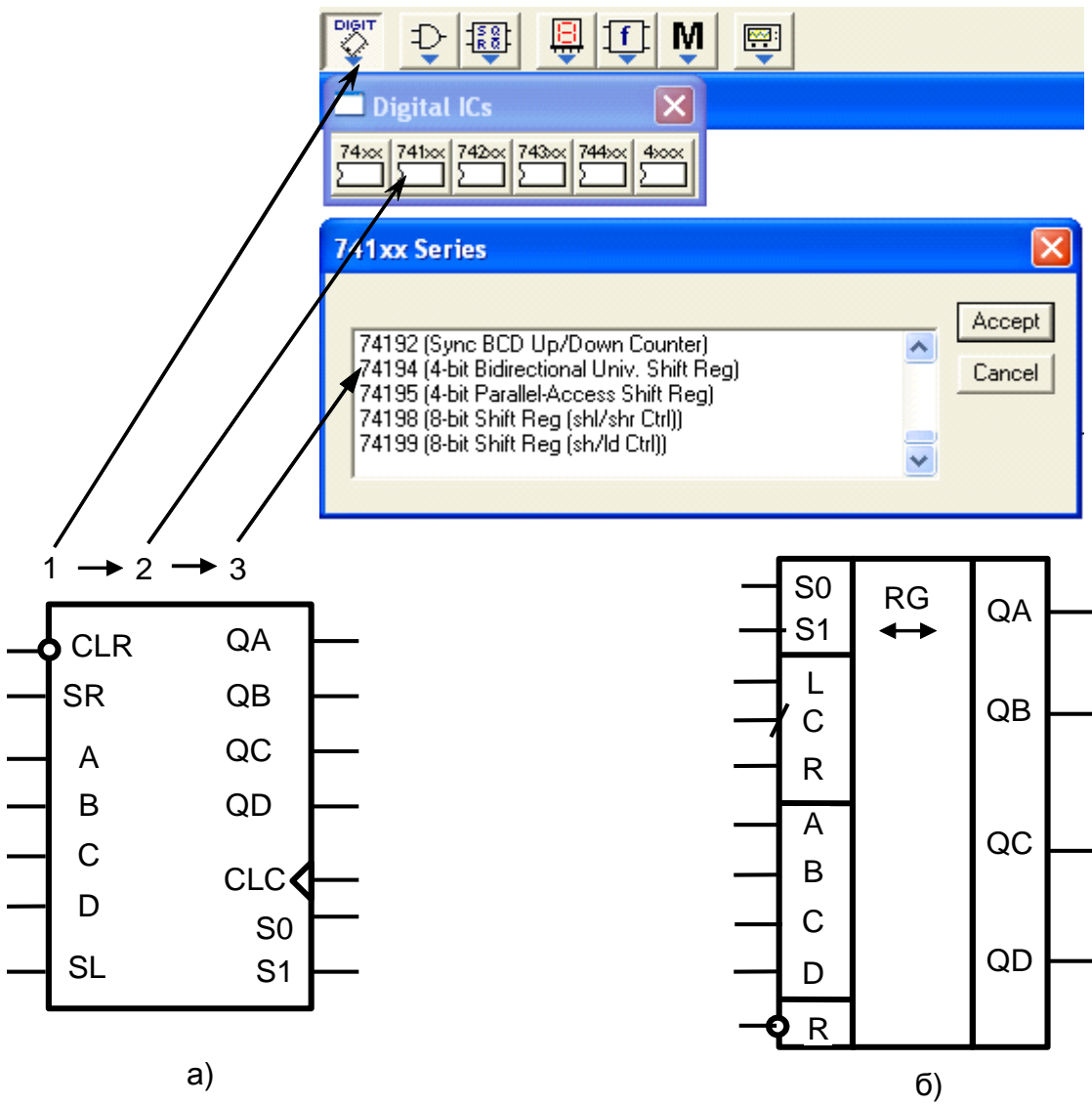


Рис.55. Чотирьохрозрядний регістр зсуву:

- а - умовне графічне зображення згідно міжнародних стандартів;
- б - умовне графічне зображення згідно стандартів України

Крім цього, на цьому рисунку цифрами 1 → 2 → 3 показаний порядок дій для знаходження цього регістра в базі елементів **Electronics Workbench**.

Послідовний регістр зсуву – це такий регістр, зміст виходів якого під впливом тактового імпульсу може бути зсунути в бік молодших або старших розрядів. Цей регістр представляє собою декілька взаємопов'язаних тригерів.

Приведений регістр зсуву здатний обробляти дані в одному з наступних режимів: послідовний та паралельний ввід та вивід даних, зсув вліво, зсув вправо.

У момент приходу тактового імпульсу на вхід регістру виконується операція над даними, що визначена станом управляючих входів **SO** та **S1**. Умови установки режимів регістра приведені в табл. 20.

Таблиця 20

Умови забезпечення різних режимів роботи регістру

SO	S1	Операція
0	0	Зберігання
0	1	Зсув вправо
1	0	Зсув вліво
1	1	Запис інформації в паралельному коді

Якщо на вхід збросу (**Clear**) подати сигнал логічного **0**, то на всіх виходах встановиться рівень логічного **0**. Умови функціонування регістра приведені в табл. 21.

Таблиця 21

Умови функціонування регістру

Входи										Виходи даних			
Сброс	Режим		Послідовні			Паралельні							
Clear	SI	SO	Clock	Left	Right	A	B	C	D	QA	QB	QC	QD
0	~	~	~	~	~	~	~	~	~	0	0	0	0
1	~	~	0	~	~	~	~	~	~	QA	QB	QC	QD
1	1	1	T	~	~	a	b	c	d	a	б	с	д
1	0	1	T	x	1	x	x	x	x	1	QAN	QBN	QCN
1	0	1	T	x	0	x	x	x	x	0	QAN	QBN	QCN
1	1	0	T	1	x	x	x	x	x	QBN	QCN	QDN	1
1	1	0	T	0	x	x	x	x	x	QBN	QCN	QDN	0
1	0	0	T	x	x	x	x	x	x	QAO	QBO	QC	QD
												0	0

T-позитивний перепад тактового імпульсу;
 a, b, c, d – стани на входах **A, B, C** та **D** відповідно;
QAO, QBO, QCO, QDO – текучий стан відповідних виходів;
QAN, QBN, QCN, QDN – попередній стан відповідних виходів.

Варіант виконання завдання №1

Припустимо, що двійковий код, який треба записати в регістр згідно з умовами завдання №1 відповідає числу **11** в десятковій системі числення.

На рис. 57 приведені схеми експериментів для дослідження принципів організації запису інформації (двійкового коду **1011**) з попереднім обнулінням та без попереднього обнуління регістра.

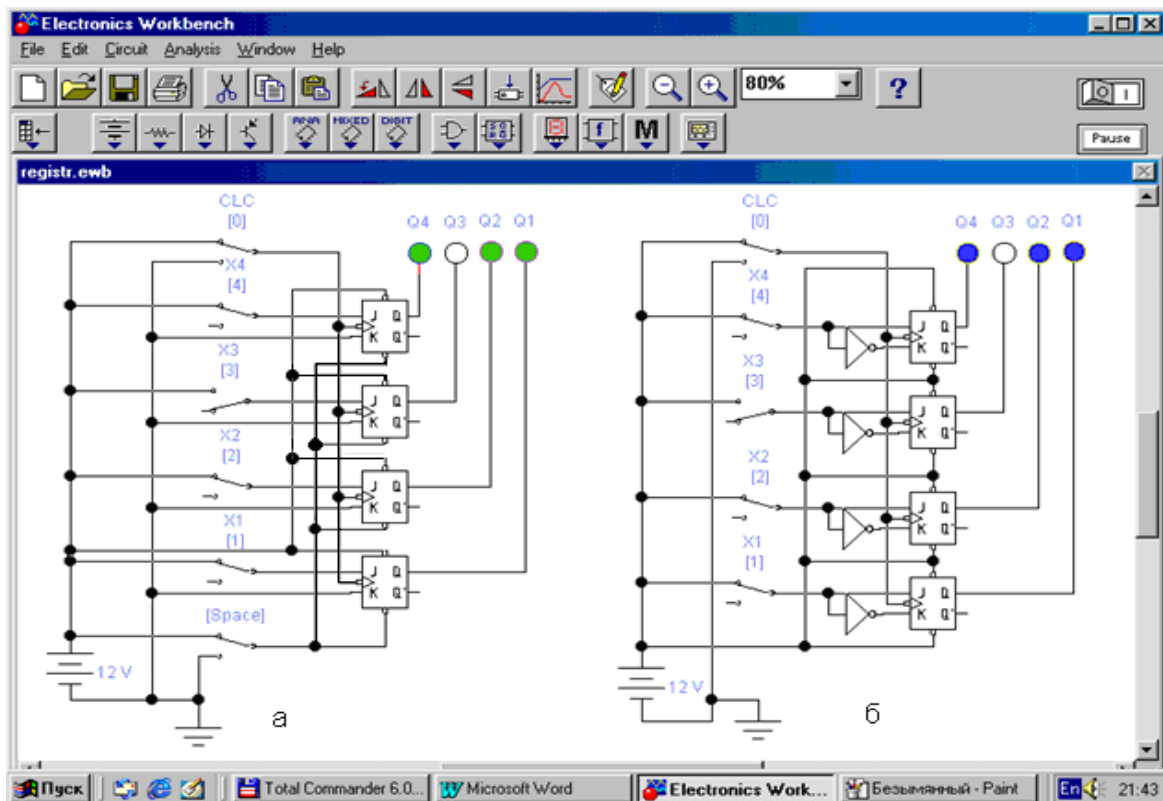


Рис. 57. **Схеми запису інформації в регістр в паралельному коді:**

а - з попереднім обнулінням (в однофазному коді);

б - без попереднього обнуління (в двохфазному коді) –

Варіант виконання завдання №2

Припустимо, що згідно з завданням № 2 необхідно провести дослідження функціонування чотирьохрозрядного регістру з

паралельним записом інформації (двійкового коду числа 3) та циклічним зсувом цієї інформації в бік старших розрядів.

Приклад схеми дослідження приведений на рис.58.

Формування тактових імпульсів (точніше позитивного перепаду імпульсу з більш низького рівня на більш високий рівень) у цій схемі забезпечується подвійним натисканням кнопки [K].

Коло циклічного переносу інформації із старшого розряду до молодшого розряду з'єднує 12-й та 2-й вивід мікросхеми.

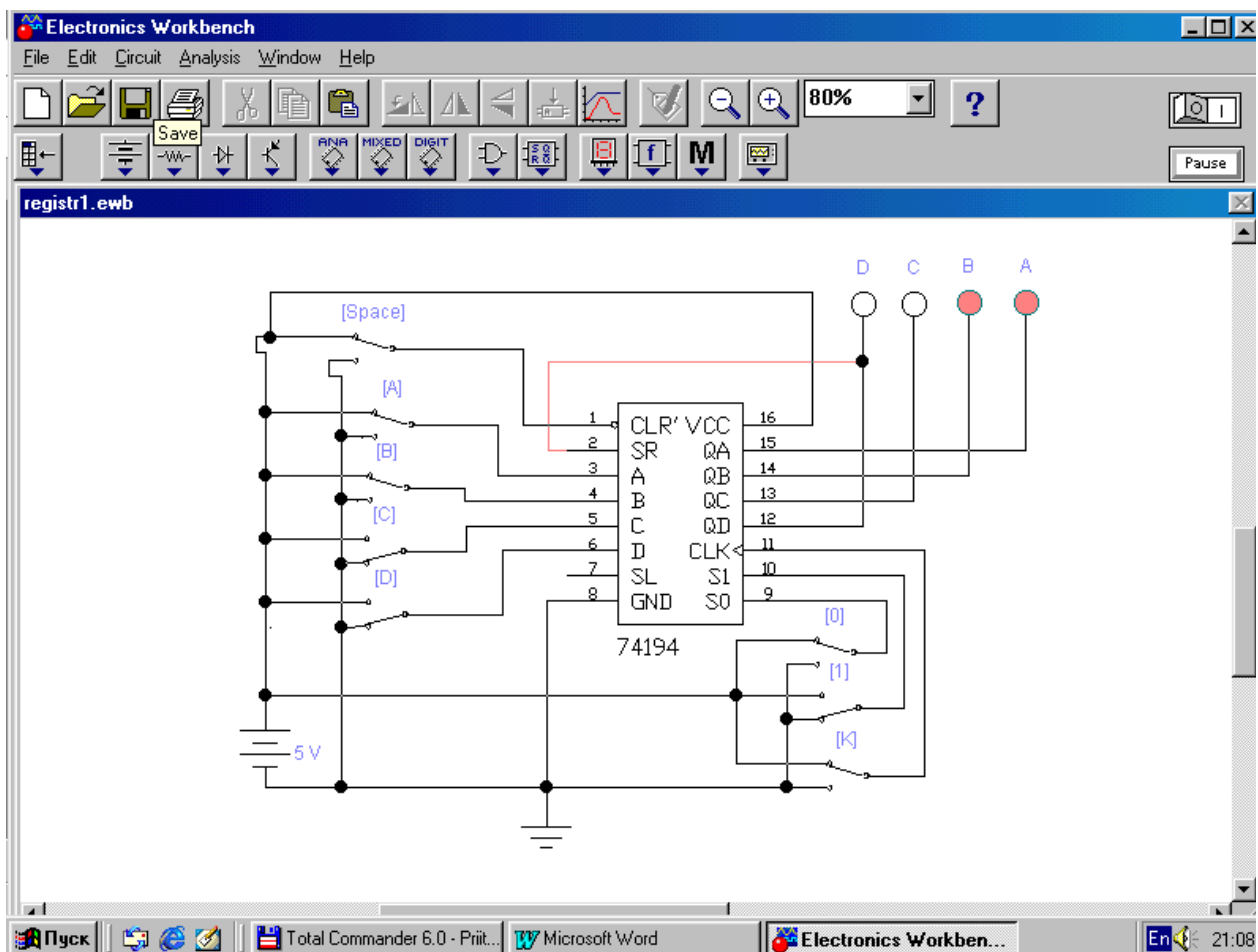


Рис. 58. Схема дослідження чотирьох розрядного регістру з циклічним зсувом інформації в сторону старших розрядів

Література: [1-4; 6; 9; 11; 13]

Модуль 1. Комп'ютерна цифрова схемотехніка

ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ ЛІЧИЛЬНИКІВ ІМПУЛЬСІВ

Тема 5. Схемотехніка цифрових вузлів

Лабораторне заняття № 8

Мета заняття

1. Вивчення принципів побудови та функціонування лічильників імпульсів і дільників частоти з довільним коефіцієнтом ділення на інтегральних мікросхемах, організації порядку функціонування лічильників в режимі додавання та віднімання.

2. Прищеплення навичок експериментального дослідження властивостей лічильників імпульсів, а також побудови та налагоджування електронних схем лічильників імпульсів за допомогою засобів спеціального програмного забезпечення **Electronics Workbench**.

Стислі теоретичні відомості

Лічильником називають пристрій, сигнали на виході якого в певному коді відображають кількість імпульсів, що надійшли на рахунковий вхід. Тригер *T*-типу може бути прикладом найпростішого лічильника. Такий лічильник рахує до двох. Лічильник, утворений ланцюжком з *m* тригерів, зможе підрахувати у двійковому коді 2^m імпульсів. Кожний із тригерів такого ланцюжка називають розрядом лічильника. Число *m* визначає кількість розрядів двійкового числа, що може бути записане в лічильник. Число $K_{сч} = 2^m$ називають коефіцієнтом (модулем) лічби.

Інформація знімається з прямих і/або інверсних виходів усіх тригерів. У паузах між вхідними імпульсами тригери зберігають свої стани, тобто лічильник запам'ятовує кількість полічених імпульсів.

Нульовий стан усіх тригерів приймається за нульовий стан лічильника в цілому. Інші стани нумеруються за числом вхідних імпульсів, що надійшли.

Коли число вхідних імпульсів $N_{ex} > K_{сч}$ при $N_{ex} = K_{сч}$ відбувається переповнення, після чого лічильник повертається в нульовий стан і повторює цикл роботи. Коефіцієнт рахунку, таким чином, характеризує число вхідних імпульсів, необхідне для виконання одного циклу й повернення у вихідний стан. Число вхідних імпульсів і стан лічильника взаємно визначені тільки для першого циклу. У загальному випадку число, записане в лічильник, характеризується співвідношенням

$$M = N_{ex} - iK_{сч} \quad (i = 0, 1, 2, \dots, n),$$

де N_{ex} — число імпульсів, що надійшли на вхід.

Після кожного циклу лічби на виходах останнього тригера виникають перепади напруги. Ця властивість визначає друге призначення лічильників: ділення числа вхідних імпульсів. Якщо вхідні сигнали періодичні і слідуєть із частотою f_{ex} , то частота вихідних сигналів буде

$$f_{вих} = \frac{f_{ex}}{K_{сч}}.$$

У лічильника в режимі ділення використовується вихідний сигнал тільки останнього тригера, проміжні стани інших тригерів не враховуються. Усякий лічильник може бути використаний як дільник частоти. Тому подібний пристрій часто називають лічильником-дільником.

Символом лічильників на схемах служать букви **СТ** (від англ. counter – лічильник). Якщо потрібно, після символу проставляють число, що характеризує модуль рахунку (наприклад, 2 або 10).

Основними експлуатаційними показниками лічильника є ємність і швидкодія. Ємність лічильника, чисельно рівна коефіцієнту лічби, характеризує число імпульсів, доступне рахунку за один цикл.

Швидкодія лічильника визначається часом установки коду лічильника $t_{вст}$, яке дорівнює часу між моментом надходження вхідного сигналу й переходом лічильника в новий стійкий стан. Величина

$$f_{max} = \frac{1}{t_{вст}}$$

визначає максимальну частоту лічби. Тимчасові властивості

залежать від тимчасових характеристик тригерів і способу їхнього

з'єднання між собою.

У схемному відношенні лічильники розрізняються числом і типами тригерів, способами зв'язків між ними, кодом, організацією рахунку й інших показників.

Відносно коефіцієнту (модулю) лічби лічильники поділяються на двійкові (бінарні), двійково-десяткові (декадні) або з іншим модулем лічби.

Для двійкового лічильника, тобто лічильника з $K_{сч} = 2^m$, знаючи номери тригерів і стани виходів Q , можна визначити записане в лічильник двійкове число $M = Q_m 2^{m-1} + Q_{m-1} 2^{m-2} + \dots + Q_1 2^0$, де m — номер тригера; 2^0 — вага першого (молодшого; розряду; 2^1 — другого; 2^{m-1} — вага m -го розряду.

Введенням додаткових логічних зв'язків — зворотних і прямих — двійкові лічильники можуть бути звернені в недвійкові, для яких $K_{сч} \neq 2^m$. Найбільше поширення одержали десяткові (декадні) лічильники, що працюють зі звичним $K_{сч} = 10$. Десятковий рахунок здійснюється у двоїчно-десятковому коді (двійковий — за кодом лічби, десятковий — за числом станів).

За напрямком лічби лічильники поділяються на лічильники, що підсумовують, лічильники що віднімають, а також — реверсивні лічильники.

У підсумовуючому лічильнику кожний вхідний імпульс збільшує число, записане в лічильник, на одиницю (табл. 22). Як видно з таблиці, перенос інформації з одного розряду в інший, більш високий, має місце, коли відбувається зміна стану з **1** на **0**.

Лічильник, що віднімає, діє зворотним образом: двійкове число, що зберігається в лічильнику, з кожним наступним імпульсом зменшується на одиницю. Переповнення лічильника, що віднімає, відбувається після досягнення ним нульового стану (табл. 23). Перенос із молодшого розряду в старший тут має місце при зміні стану молодшого розряду з **0** на **1**.

Таблиця 22
Стани лічильника,
що підсумовує

N стану	Q ₃	Q ₂	Q ₁
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
0	0	0	0

Таблиця 23
Стани лічильника,
що віднімає

N стану	Q ₃	Q ₂	Q ₁
0	0	0	0
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Реверсивний лічильник може працювати в якості підсумовуючого, а також такого, що й що віднімає. Ці лічильники мають додаткові входи для завдання напрямку лічби. Режим роботи визначається керуючими сигналами на цих входах. Коли лічильник використовується як дільник, напрямок лічби не грає ролі.

Лічильники з послідовним переносом представляють собою ланцюжок тригерів, у якій імпульси, що підлягають лічбі, надходять на вхід першого тригера, а сигнал переносу передається послідовно від одного розряду до іншого. У цих лічильниках використовуються асинхронні **T**-тригери з прямим або з інверсним керуванням, а також **JK**-тригери в режимі лічби.

У лічильнику, що підсумовує, побудованому на тригері з інверсним динамічним синхровходом, сигнали переносу знімаються з прямих виходів тригерів, як показано на рис. 59. Зображений на ньому лічильник є асинхронним і має коефіцієнт лічби $K_{ліч.} = 2^3 = 8$.

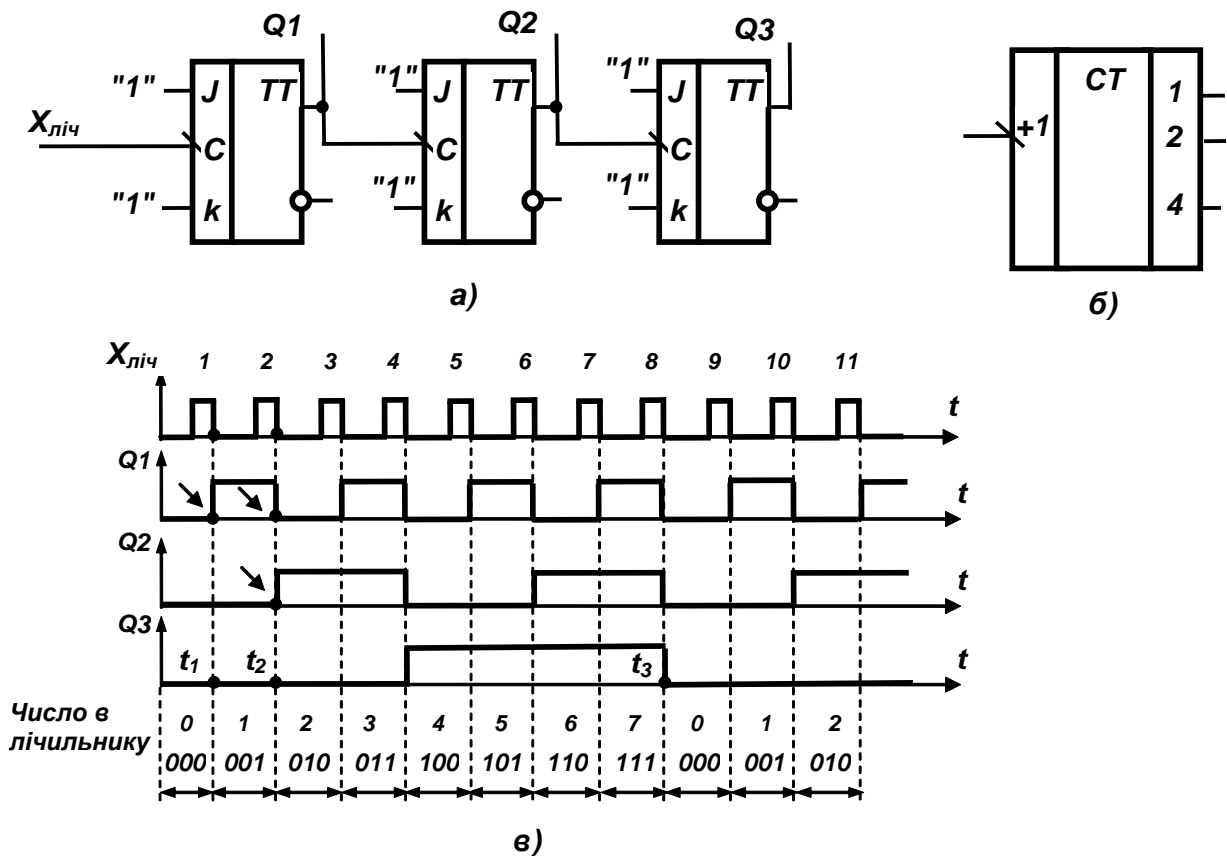


Рис. 59. Асинхронний лічильник, що підсумовує імпульси з послідовним переносом;
 а) функціональна схема;
 б) умовне графічне позначення;
 в) часові діаграми роботи

Оскільки **С**-вхід кожного тригера даного лічильника є інверсним динамічним, а одиничні сигнали на входах **Ж** і **К** задають режим лічби для тригера, то при зміні сигналу на **С**-вході з "1" на "0" (спад сигналу) тригер буде щораз перемикається в протилежний стан. Тому після спаду першого імпульсу лічби (момент t_1) перший тригер встановлюється в стан "1" ($Q_1 = 1$). Другий тригер при цьому свій стан не змінює, оскільки на його **С**-вході спаду сигналу не було. Другим імпульсом (момент t_2) перший тригер встановлюється в стан "0". Оскільки при цьому на його виході Q_1 сигнал змінюється з "1" на "0", утворюючи спад, то по цьому спаді другий тригер перемикається в стан "1" і т. д. За восьмим імпульсом (момент t_3) всі тригери послідовно перемкнуться в нульовий стан, і почнеться новий цикл лічби.

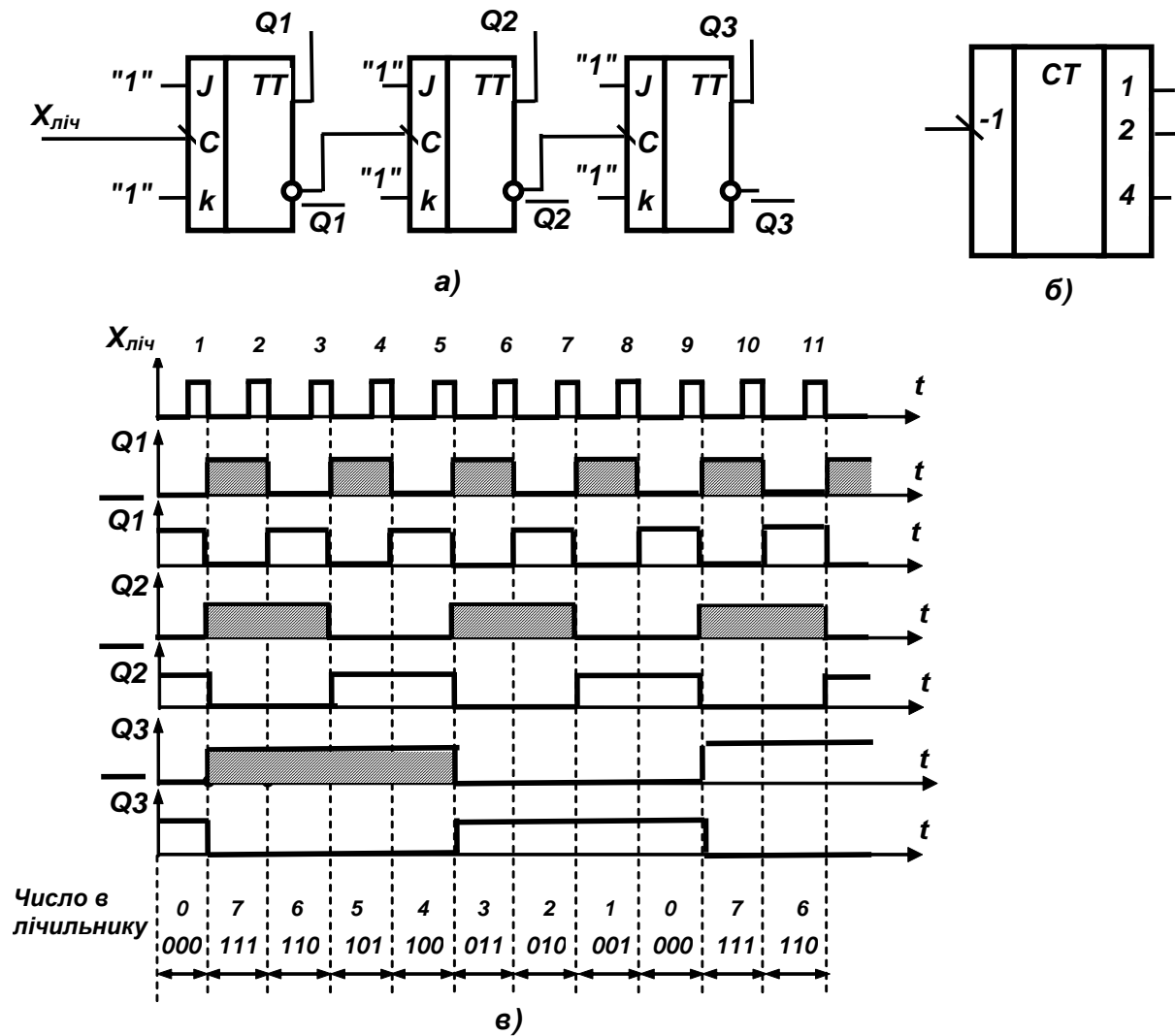


Рис. 60. Асинхронний лічильник імпульсів що віднімає з послідовним переносом;

- а) функціональна схема;
- б) умовне графічне позначення;
- в) часові діаграми роботи.

У лічильнику, що віднімає, сигнали переносу знімаються з інверсних виходів тригерів, як показано на рис. 60. У цьому випадку спад сигналу на **С**-вході кожного тригера виникає при зміні стану тригера з **0** на **1**. Тому першим імпульсом (рис. 60-а) всі тригери перемикаються зі стану "**0**" у стан "**1**" (заштриховані імпульси), у результаті чого на лічильнику встановлюється код числа **7**.

Після другого імпульсу відбувається перемикання тільки першого тригера, формується код числа **6** і т. д. Для розглянутої схеми коефіцієнт лічби так само як і для схеми попереднього лічильника, дорівнює **8**.

Реверсивний лічильник (рис. 61) у міжрозрядних ланцюгах переносу містить комутуючі елементи (на рис. 61-а – елемент **2І – 2ЧИ**), які під

впливом сигналу на спеціальному керуючому вході V з'єднують тригери в схему підсумовуючого або віднімаючого лічильника.

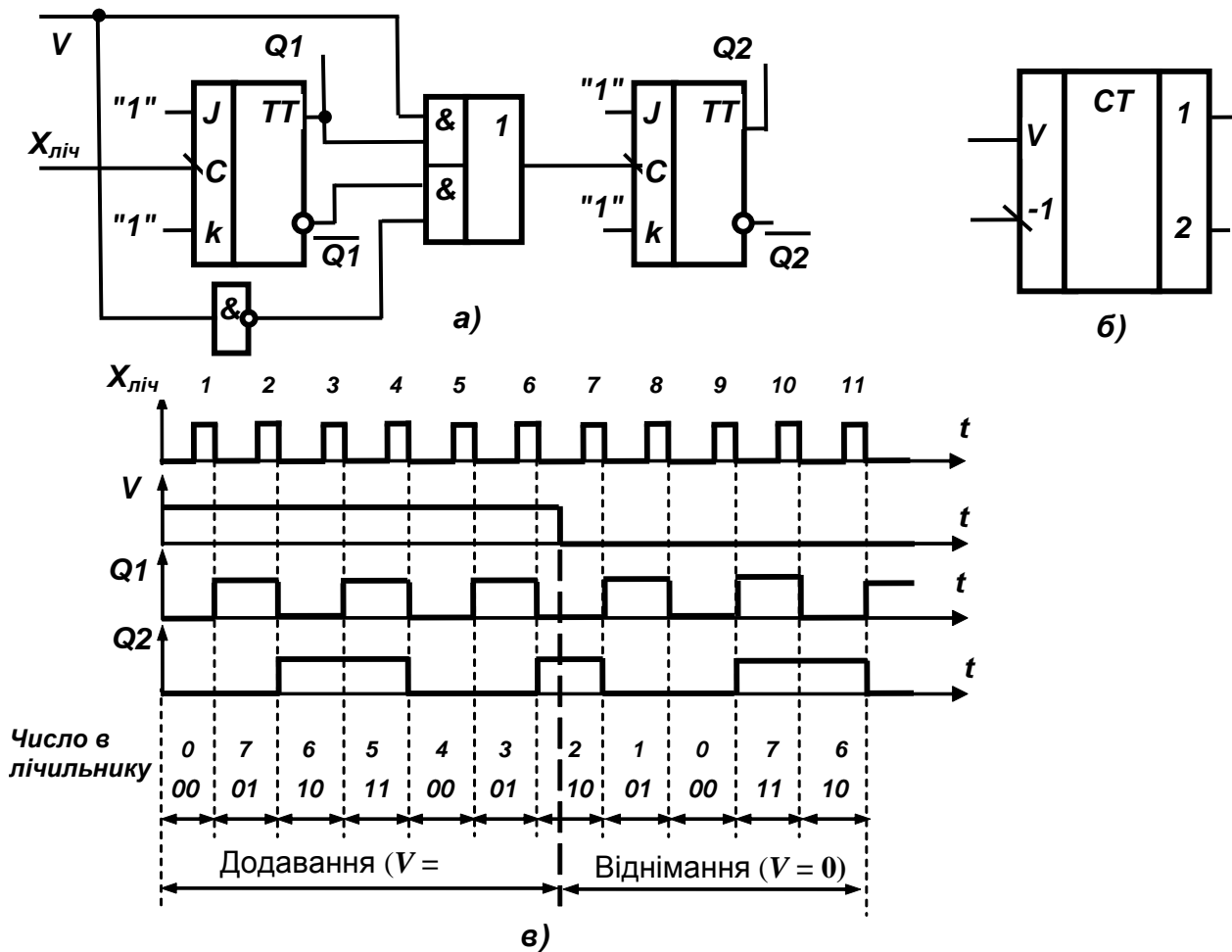


Рис. 61. Асинхронний реверсивний лічильник імпульсів з послідовним переносом;

- а) функціональна схема;
- б) умовне графічне позначення;
- в) часові діаграми роботи.

Для схеми, зображеної на рис. 61, а, при $V = 1$ верхній клапан елемента $2I-2ЧИ$ відкритий, а нижній - закритий, у результаті чого на C -вхід другого тригера подається в незмінному вигляді сигнал Q_1 , як у підсумовуючому лічильнику.

При $V = 0$ на цей вхід надходить сигнал $\overline{Q_1}$, що відповідає лічильнику, який віднімає. Коефіцієнт перерахування розглянутого лічильника дорівнює 4.

Для встановлення лічильників у певний початковий стан ("0" або інше число) використовуються додаткові ланцюги, які підключають до асинхронних входів S або R -тригерів. Ці ланцюги співпадають з аналогічними ланцюгами в регістрах зсуву.

Головна перевага лічильника з послідовним переносом – простота схеми, а також мале навантаження на джерело сигналів імпульсів, оскільки ці сигнали надходять тільки на один вхід першого тригера. Основний недолік лічильників з послідовний переносом – низька швидкодія. Вона обумовлена послідовним характером спрацьовування тригерів. Тому час його установки пропорційний числу розрядів і середньому часу τ_T перемикавання одного тригера: $\tau_{вст} = n\tau_T$.

Другий недолік полягає в тому, що через послідовний характер спрацьовування тригерів перехід у новий стійкий стан відбувається через ланцюжок проміжних станів. Це може приводити до неправильного спрацьовування пристроїв, підключених до виходів лічильника. Тому знімання коду з лічильника можливе тільки на інтервалах часу, що впливають після закінчення перехідних процесів у схемі (на рис. 59 ці інтервали виділені стрілками на нижній осі).

Усі розглянуті вище лічильники були двійковими, тобто їхній коефіцієнт лічби був рівен ступеню числа два. Це значить, що після кожного циклу, що містить 2^n сигналів лічби, на виходах останнього тригера виникали перепади напруги, тобто відбувався розподіл частоти цих сигналів (або просто їхньої кількості) з коефіцієнтом $K_{ліч.} = 2^3$. Однак на практиці часто виникає необхідність їхнього розподілу з недвійковим коефіцієнтом. Це забезпечується введенням у лічильнику зворотних зв'язків.

У найпростішому випадку для виконання умови $2^{n-1} < K_{ліч.} < 2^n$ у якості елемента зворотного зв'язку використовується неповний дешифратор (рис. 62). При установці на лічильнику двійкового коду числа $K_{ліч.}$ дешифратор формує сигнал $P = 1$ на скидання лічильника в "0", внаслідок чого цикл лічби починається заново.

На рис. 63 подано схему такого лічильника при $K_{ліч.} = 6$. В ній дешифратор реалізований на елементі І-НІ. Його входами є прямі виходи тих розрядів, яким відповідають одиниці у двійковому записі числа $K_{ліч.} = 6$. Штриховою лінією показані діаграми при відсутності елемента І-НІ.

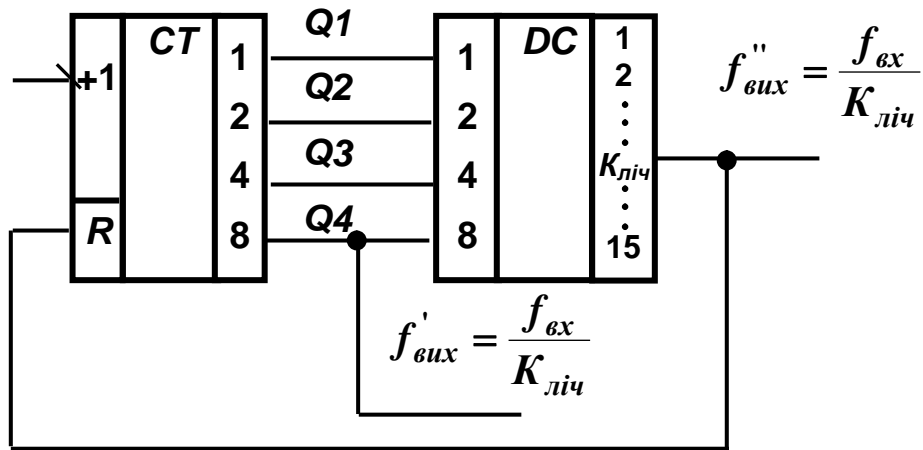


Рис. 62. Принцип побудови лічильника з довільним постійним коефіцієнтом лічби

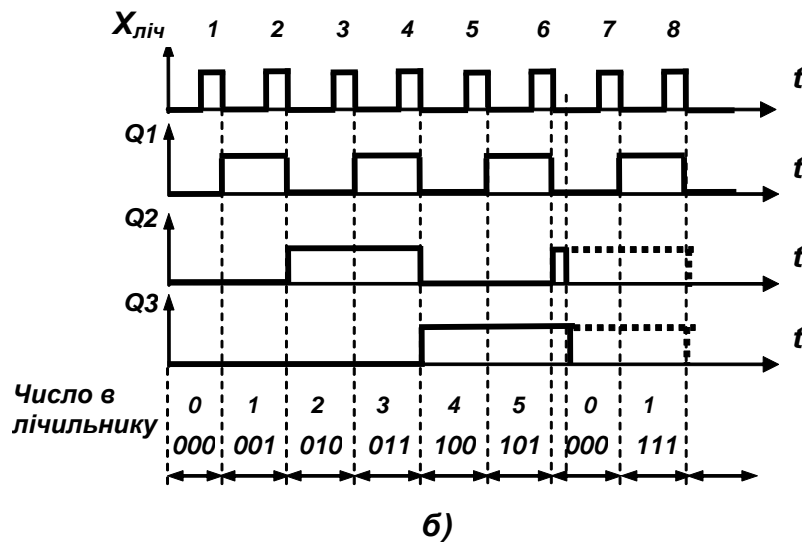
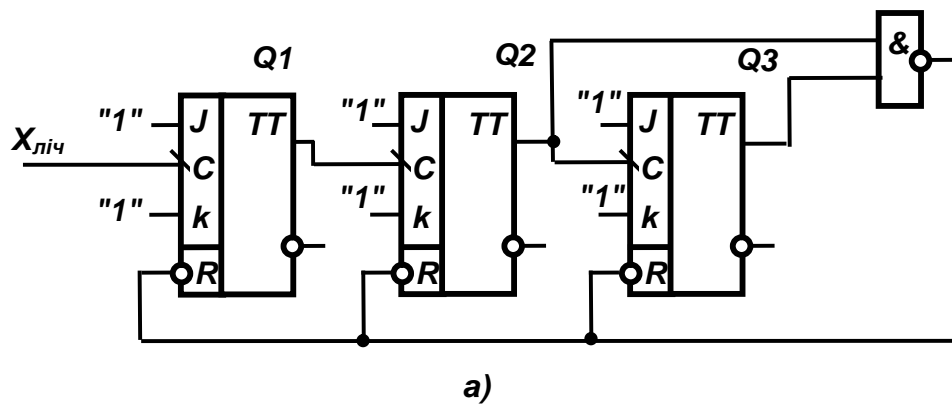


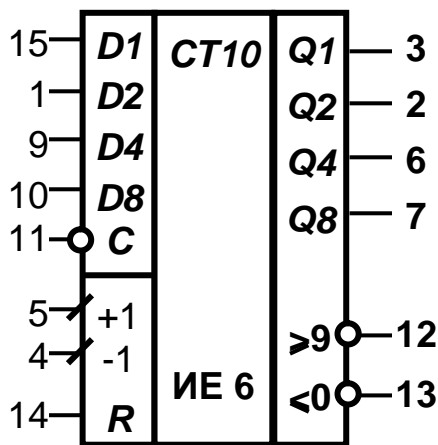
Рис.63. Лічильник з коефіцієнтом лічби $K_{ліч} = 6$;
 а) функціональна схема;
 б) часові діаграми роботи

Недолік даного способу заключається в необхідності використання додаткового логічного елемента, який ускладнює схему і вповільнює її

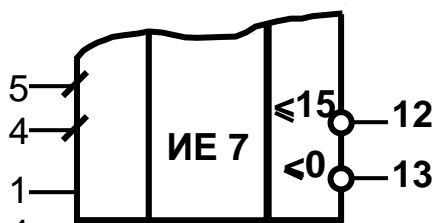
роботу. Тому існують схеми зміни коефіцієнту лічби, основані на подаванні сигналів зворотного зв'язку безпосередньо на інформаційні входи тригерів, наприклад, лічильник в інтегральному виконанні **K155IE2**.

Серед лічильників в інтегральному виконанні окреме місце займають лічильники, які здатні не тільки здійснювати лічбу імпульсів, але й подібно регістрам здійснювати запис інформації у свої тригери.

Так, наприклад, чотирьохрозрядні лічильники **K155IE6** та **K155IE7** (рис. 64), які відрізняються лише коефіцієнтом лічби (**IE6-10**, **IE7-16**), мають входи **D1...D8**, які є інформаційними і призначені для запису початкового числа, з якого ведеться лічба.



а)



б)

Режим		Стан входів				
		R	+1	-1	C	D _i
Установлення в "0" (скидання)		1	~	~	~	~
Паралельний запис числа		0	~	~	0	X
Лічба	Додавання	0	0 \uparrow 1	1	1	~
	Віднімання	0	1	0 \uparrow 1	1	~

в)

Рис. 64. Лічильники **K155IE6** та **K155IE7**

а), б) умовне позначення;
в) таблиця режимів роботи

Його запис відбувається в момент появи сигналу "0" на вході **C**. Вхід **K** служить для встановлення лічильника в нуль і має пріоритет над іншими. Входи **+1** та **-1** використовуються для вибору необхідного напрямку лічби.

Виходи **Q1...Q8** є прямими виходами розрядів. Вихід переносу

(вивід 12) і вихід позики (вивід 13) використовуються при нарощуванні розрядності мікросхем і при роботі лічильника як дільника.

Режими роботи лічильників пояснюються таблицею, представленої на рис 64-в. Установлення лічильника в нуль відбувається при подачі одиничного сигналу на вхід **R**. При цьому на виході переносу сигнал відповідає одиниці, а сигнал на виході позики збігається з сигналом на вході (-1). У всіх інших режимах сигнал на вході повинен відповідати нулю.

У режимах лічби сигнали на виходах переносу й позики постійно дорівнюють одиниці. Сигнал переносу у вигляді нуля формується при переході зі стану ($K_{\text{ліч.}}-1$) ($15_{10} - 111$ для **ИЕ7** або $9_{10} - 1001$ для **ИЕ6**) у стан **0000** в режимі підсумовування. Сигнал позики також у вигляді нуля формується при переході зі стану **0000** у стан $K_{\text{ліч.}}-1$ в режимі віднімання. Обидва сигнали формуються за спадом відповідного імпульсу лічби, і зберігають нульове значення до приходу чергового імпульсу.

Якщо сигнал з виходу переносу подати на вхід дозволу запису **C** (рис. 64), то вийде лічильник зі змінним коефіцієнтом лічби **M**, який можна визначити за формулою

$$M = K_{\text{ліч.}} - 1 - X,$$

де **X** – число, що подається у двійковому коді на інформаційні входи.

Десяткові лічильники організуються із чотирьохрозрядних двійкових лічильників. Надлишкові шість станів виключаються введенням додаткових зв'язків.

Рекомендації щодо підготовки до лабораторного заняття

1. Для виконання завдань лабораторного заняття необхідно мати тверді знання стосовно основних властивостей лічильників, а саме:

організації функціонування лічильника імпульсів у режимі додавання імпульсів;

організації функціонування лічильника імпульсів у режимі віднімання імпульсів;

організації функціонування роботи лічильників імпульсу в режимі ділення частоти вхідних імпульсів з довільним коефіцієнтом ділення.

2. Володіти засобами **Electronics Workbench** для побудови функціональних схем лічильників імпульсів, а також уміти підключати до лічильника та налагоджувати генератор імпульсних послідовностей (**Word Generator**) та логічний аналізатор (**Logic Analyzer**).

Питання для самоконтролю:

1. Пояснити принцип організації лічби імпульсів в лічильниках.
2. Яким чином можна регулювати напрямок лічби імпульсів у лічильниках?
3. Пояснити принцип організації лічильника зі змінним коефіцієнтом лічби.
4. Які переваги та недоліки лічильників з послідовним переносом?
5. Дати характеристику лічильникам в інтегральному виконанні **K155IE6** та **K155IE7**.

Завдання для опрацювання на лабораторному занятті

Завдання №1

Відповідно до заданого варіанта (табл. 24) провести дослідження роботи чотирьохрозрядного лічильника імпульсів в режимі додавання та віднімання, побудованого за допомогою заданих елементів пам'яті. Визначити швидкодію лічильника.

Завдання № 2

Відповідно до заданого варіанта (табл. 24) провести дослідження роботи лічильника з заданим коефіцієнтом лічби **M**, побудованого за допомогою заданих елементів пам'яті.

Завдання № 3

Відповідно до заданого варіанта (табл. 25) провести дослідження роботи лічильника з заданим коефіцієнтом лічби **M**, виконаного на окремій мікросхемі серії **74169 (Sync 4-bit up/down Binary Counter** – реверсивний чотирьохрозрядний лічильник) без будь-яких допоміжних логічних елементів.

Дослідження функціонування схем двійкових лічильників згідно з умовами завдань проводиться за допомогою засобів програмного пакета моделювання роботи аналогових та цифрових пристроїв **Electronics Workbench**.

Варіанти до завдань № 1, № 2 та № 3

№ варіанту	Завдання № 1				Коефіцієнт рахування М	Завдання № 2				Коефіцієнт лічення М	Завдання № 3	
	Режим роботи лічильника					Режим роботи лічильника					Режим роботи лічильника	
	"+"		"-"			"+"		"-"			"	"
	Тип тригерів		Тип тригерів			Тип тригерів		Тип тригерів				
	T	D	T	D		T	D	T	D		T	D
1	2	3	4	5	6	7	8	9	10	11	12	13
1	v			v	5	v				12	v	
2		v	v		7		v			14		v
3	v			v	9			v		5	v	
4		v	v		11				v	9		v
5	v			v	13	v				13	v	
6		v	v		15		v			6		v
7	v			v	6			v		13	v	
8		v	v		8				v	15		v
9	v			v	10	v				6	v	
10		v	v		12		v			8		v
11	v			v	14			v		10	v	
12		v	v		5				v	10		v
13	v			v	9	v				12	v	
14		v	v		13		v			15		v
15	v			v	6			v		6	v	
16		v	v		10				v	9		v
17	v			v	14	v				5	v	
18		v	v		5		v			7		v
19	v			v	13			v		9	v	
20		v	v		10				v	11		v
21	v			v	12	v				7	v	
22		v	v		15		v			13		v
23	v			v	6			v		11	v	
24		v	v		9				v	14		v
25	v			v	7	v				9	v	
26		v	v		13		v			7		v
27	v			v	11			v		10	v	
28		v	v		14				v	6		v
29	v			v	9	v				13	v	
30		v	v		7		v			15		v

Зміст звіту

1. Функціональні схеми та часові діаграми роботи лічильника в режимі додавання та віднімання імпульсів у відповідності з умовами завдання № 1.

2. Функціональна схема та часові діаграми роботи двійкового лічильника з заданим коефіцієнтом лічення, що виконаний на тригерах у відповідності до умов завдання № 2.

3. Функціональна схема та часові діаграми роботи ділільника імпульсів із заданим коефіцієнтом лічення, що виконаний на базі чотирьохрозрядного реверсивного лічильника на інтегральній мікросхемі

серії **№74169 (Sync 4-bit up/down Binary Counter)** без допоміжних цифрових логічних елементів у відповідності із умовами завдання № 3.

4. Короткий опис результатів дослідження – висновки.

Контрольні запитання

1. Дати визначення лічильників.
2. Привести класифікацію лічильників.
3. Дати характеристику існуючим способам організації ланцюгів переносу в старший розряд лічильника
4. Якими чином можна організувати роботу лічильника в режимі віднімання?
5. Які тригери використовуються для побудови лічильників?
6. У чому полягає принцип побудови лічильників із заданим коефіцієнтом лічення.
7. Дати визначення реверсивному лічильнику.
8. Побудувати дільник частоти з заданим коефіцієнтом ділення, якщо лічильник працює в режимі додавання (віднімання).

Довідкові дані

Згідно з визначенням лічильників імпульсів для їх побудови використовуються тригери, які мають властивість працювати в режимі тригера з лічильним входом (**T**-тригера). **T**-тригер єдиний вид тригера поточний стан якого визначається не інформацією на входах, а його станом в попередньому такті.

Оскільки серед базових елементів програмного пакета **Electronics Workbench** наявність таких тригерів непередбачена, то для побудови функціональної схеми лічильників імпульсів необхідно використовувати інші тригери (наприклад, **JK**, або **D**), які можна легко перетворити в **T**-тригери.

На рис. 65 приведені схеми **T**-тригерів, отримані відповідним перетворенням **JK**, та **D**-тригерів.

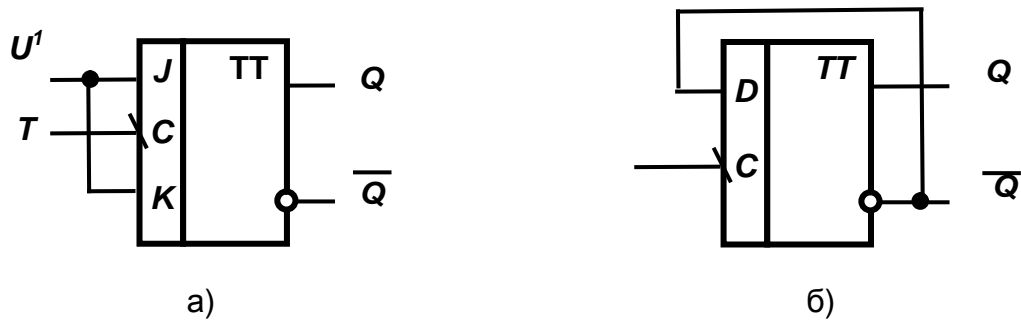


Рис. 65. Реалізація T -тригера за допомогою:

- а) - JK -тригера;
- б) - D -тригера.

Варіант виконання завдання №1

Припустимо, що згідно з умовами завдання № 1 необхідно побудувати лічильник імпульсів, який працює в режимі додавання та використовує для цього T -тригери.

При проведенні експериментальних досліджень лічильника доцільно використовувати генератор (**Word Generator**) для забезпечення вхідних сигналів лічильника та **Logic Analyzer** для спостереження і фіксування вихідних сигналів лічильника.

На рис. 66 приведена схема та результати експерименту дослідження такого лічильника.

Для дослідження властивостей двійкового лічильника в режимі віднімання вхідних імпульсів необхідно з'єднати інверсний вихід попереднього тригера з входом наступного.

Варіант виконання завдання № 2

Припустимо, що згідно з умовами завдання № 2 необхідно побудувати лічильник із заданим коефіцієнтом лічби $M = 9$.

Приклад функціональної схеми двійкового лічильника з заданим коефіцієнтом лічення приведений на рис. 67.

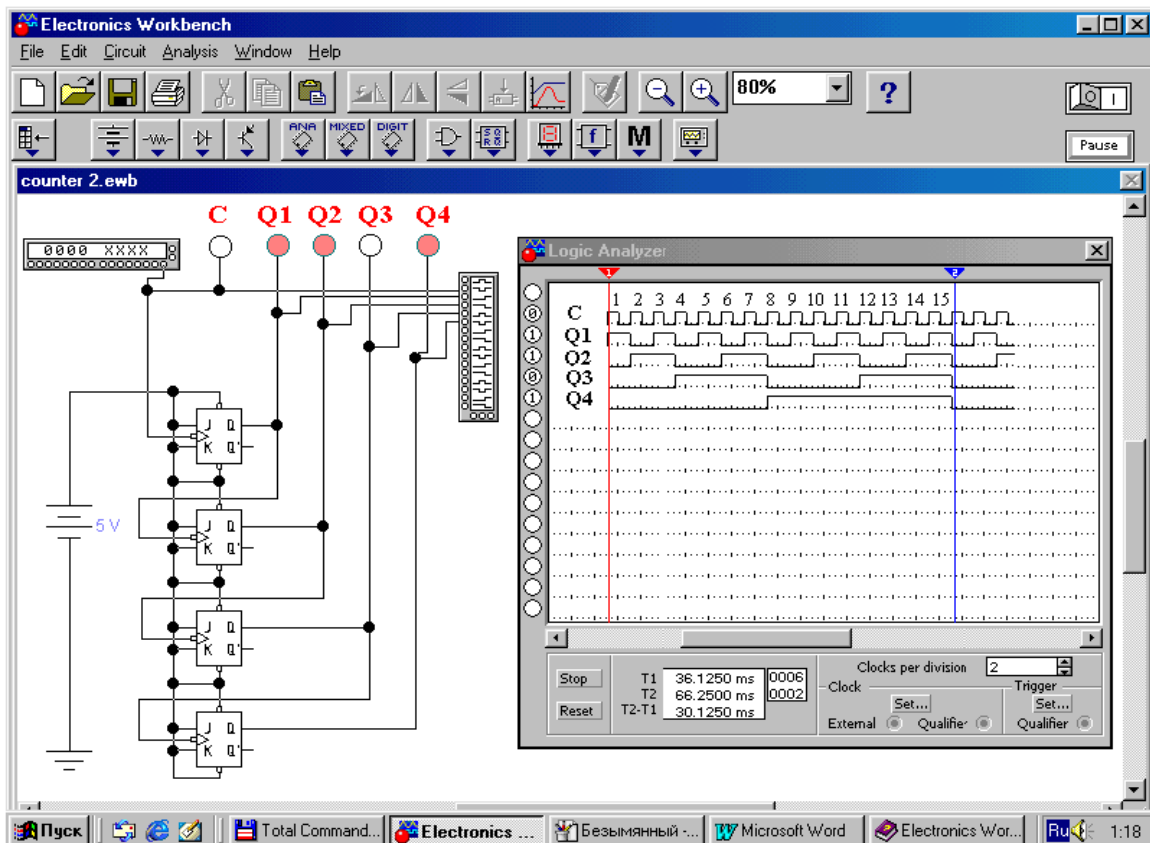


Рис. 66. Схема експерименту та результати дослідження лічильника, що працює в режимі додавання

На цьому рисунку зображена схема двійкового лічильника з заданим коефіцієнтом лічби $M = 9$. Встановлення тригерів лічильника у вихідне (нульове) положення після приходу дев'ятого імпульсу здійснюється сигналом логічного нуля з виходу елемента **I-НІ**, який поступає на входи \overline{R} –тригерів, тобто на входи встановлення тригерів лічильника в нульове положення (ланцюги розповсюдження цього сигналу показані на рис. 67). Для формування цього сигналу скидання необхідно вхід елемента **I-НІ** з'єднати з виходами тих тригерів, які будуть мати стан логічної одиниці після приходу дев'ятого імпульсу.

Однак існують і інші схеми лічильників, що здійснюють ділення вхідної частоти імпульсів. Якщо в ланцюзі зворотного зв'язку лічильника використовується тригер, то методика синтезу такого тригера повинна врахувати один такт для його спрацювання.

Припустимо, необхідно синтезувати ділільник частоти вхідних імпульсів на коефіцієнт $M = 11$.

Передбачається наступна послідовність дій.

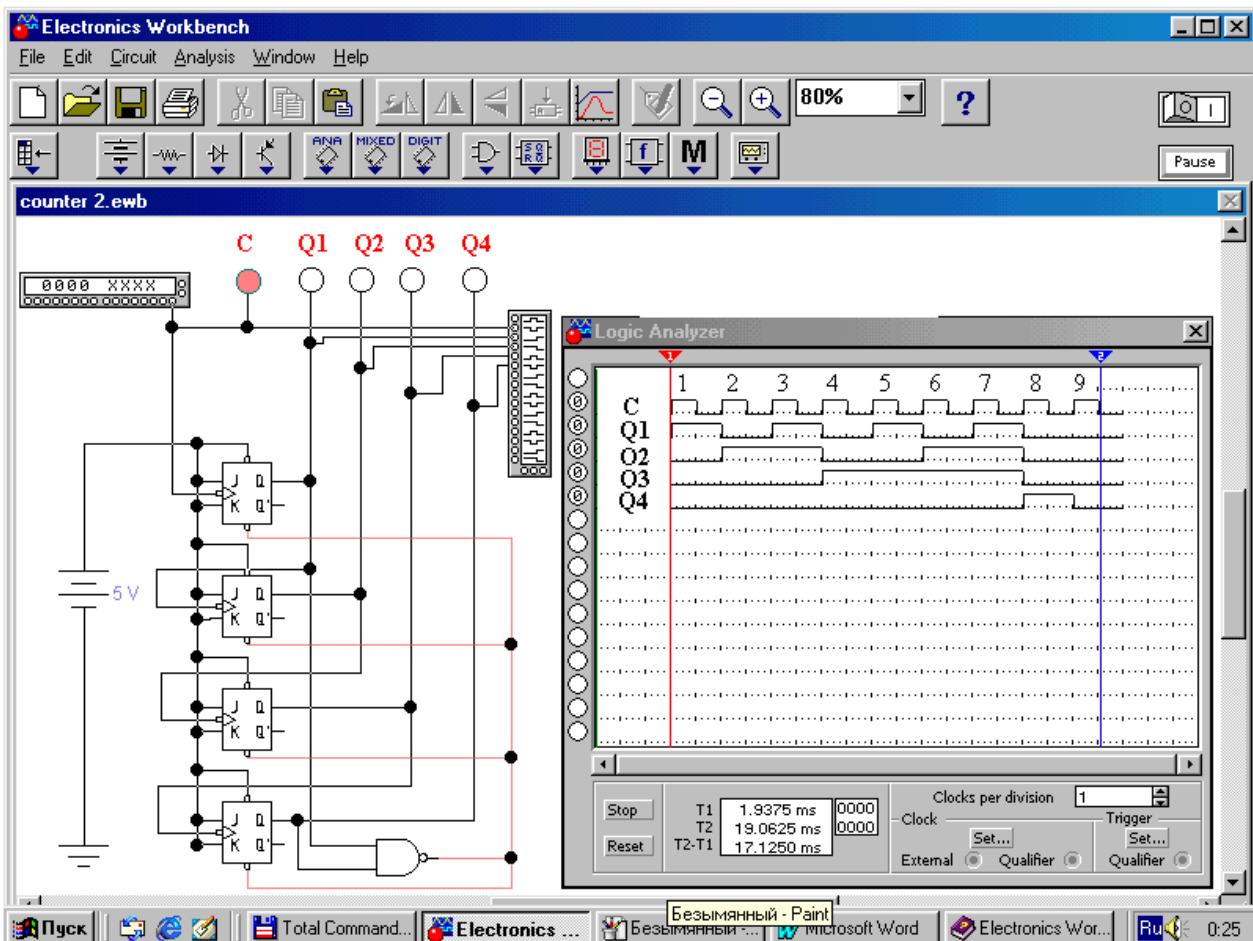


Рис. 67. Схема експерименту та результати дослідження лічильника з заданим коефіцієнтом лічення ($M = 9$)

Етап № 1

Визначаємо потрібну кількість тригерів n для побудови ділильника імпульсів із заданими характеристиками

$$n = \lceil \log_2(M - 1) \rceil,$$

де знак $\lceil \dots \rceil$ означає найближче більше ціле.

Згідно з проведеними розрахунками для побудови ділильника необхідно мати чотири тригери ($n = 4$).

Етап № 2

Визначаємо двійковий код числа " $M - 1$ ". $[11-1]_{10} = [10]_{10} = [1010]_2$.

Етап № 3

У схемі чотирьохрозрядного лічильника ($n = 4$) виходи тих тригерів, які будуть знаходитися в стані одиниці після приходу десятого вхідного імпульсу ($M-1 = [1010]_2$) з'єднуємо із входами елемента І-НІ. Вихідний

сигнал елемента **I-НІ** є інформаційним для додаткового **D**-тригера, вихід якого подається на входи асинхронного скидання \overline{R} тригерів лічильника (рис. 68).

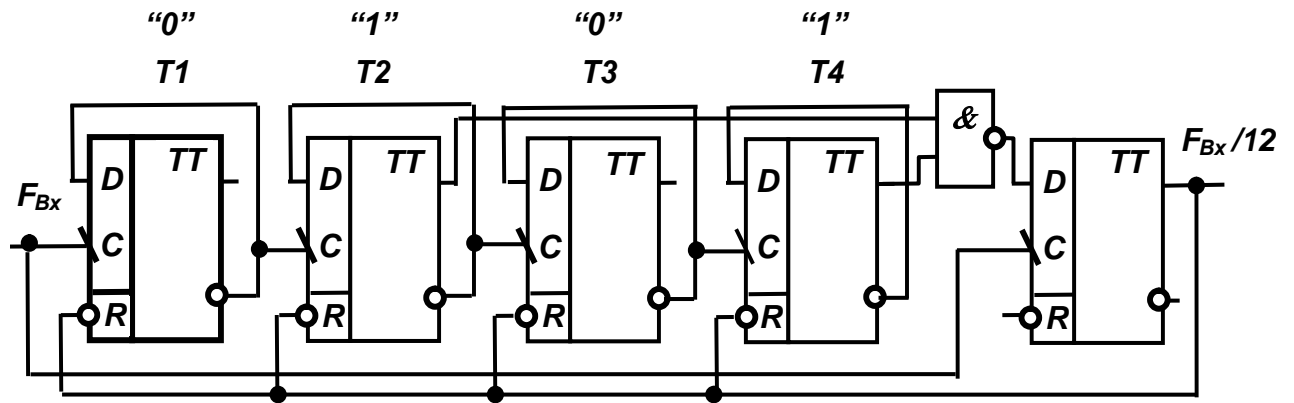


Рис. 68. Дільник з коефіцієнтом ділення $M=12$

Дільник реалізований на **D**-тригерах, над якими приведений двійковий код числа **10**. Виходи першого та третього тригерів підключені до входів елемента **I-НІ**, на виході якого з'явиться сигнал логічного нуля після приходу на лічильник **10**-го імпульсу (рис. 69).

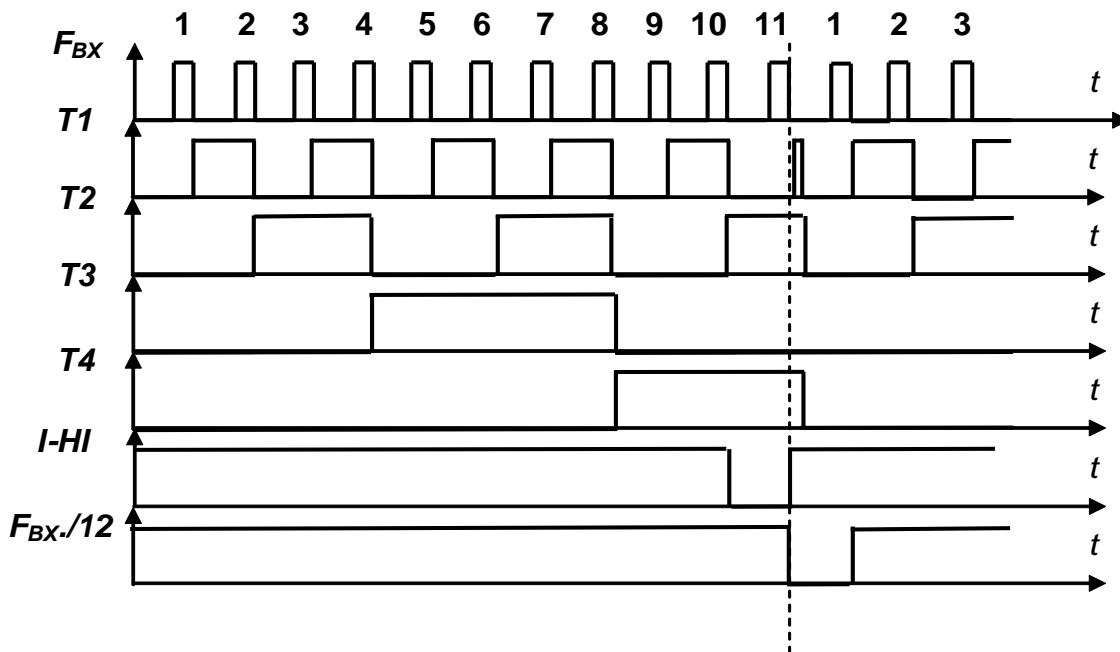


Рис. 69. Часові діаграми дільника з коефіцієнтом ділення $M = 12$

Після приходу **10**-го імпульсу на виході схеми **I-НІ** встановиться

сигнал логічного нуля, але в останній тригер цей сигнал запишеться з приходом наступного 11-го імпульсу. Одночасно цей же 11-й вхідний імпульс переведе перший тригер в одиничний стан, але ненадовго, оскільки разом з другим та четвертим тригерами перший тригер буде переведений у стан логічного нуля сигналом на вході асинхронного скидання тригерів - \bar{R} , який поступить з виходу тригера ланцюга зворотного зв'язку.

Таким чином, після приходу 11-го імпульсу лічильник буде знаходитися у вихідному (нульовому) стані, тобто цикл лічби (ділення частоти) повністю завершився. При цьому на виході елемента І-НІ формується сигнал логічної одиниці, який запишеться в тригер з приходом наступного 12-го (1-го) імпульсу.

Таким чином, наявність додаткового елемента пам'яті для організації ланцюгів управління скиданням лічильника потребує при побудові лічильника враховувати час, необхідний для перекидання цього тригера.

Варіант виконання завдання № 3

Припустимо, що згідно з умовами завдання № 3 необхідно на базі реверсивного лічильника в інтегральному виконанні серії **№74169 (Sync 4-bit up/down Binary Counter)**, який працює в режимі віднімання без використання додаткових елементів, побудувати ділильник з заданим коефіцієнтом $M = 7$.

Для виконання умов цього завдання необхідно використовувати дві властивості заданого лічильника, а саме:

здійснювати запис двійкового коду в паралельній формі;
виконувати операції додавання або віднімання.

Тобто кожний цикл роботи дільника повинен вміщувати етап запису коду числа та етап лічення (додавання або віднімання від нього кількості вхідних імпульсів).

На рис. 70 приведена схема ділильника частоти вхідних імпульсів з коефіцієнтом ділення $M = 7$. Лічильник, на базі якого побудована ця схема, працює в режимі віднімання. На входи запису інформації **A, B, C, D** в лічильник постійно подається двійковий код числа $5_{10} = 0101_2$, який записується в лічильник кожний раз за сигналом **LOAD**. Вихідний сигнал лічильника **LOAD** формується кожний раз, коли в результаті виконання операцій віднімання в лічильнику утворюється нульовий стан. Процес відбувається циклічно, в чому можна переконатися з часових діаграм

рис. 70, а на виході лічильника **LOAD** спостерігається послідовність імпульсів, частота яких в 7 разів менша за частоту вхідних імпульсів.

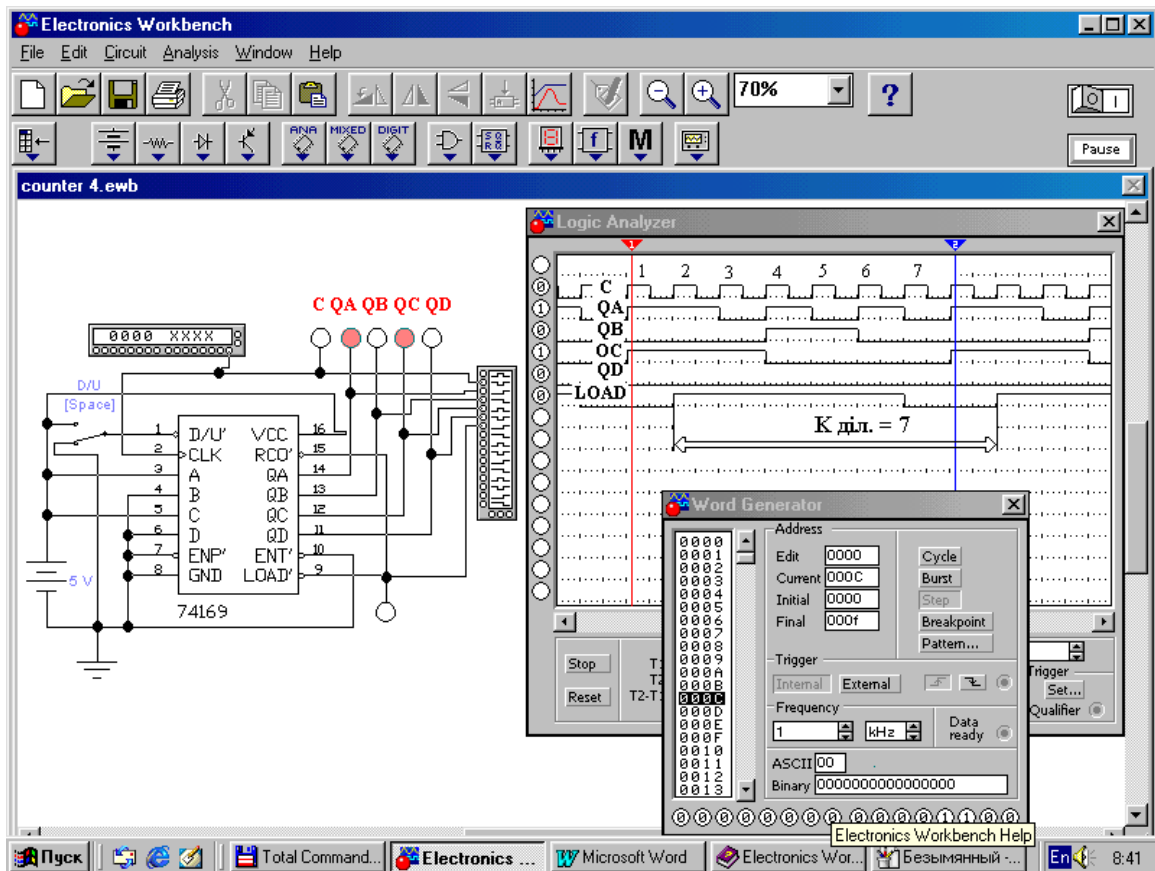


Рис. 70. Схема, та результати експерименту дільника з заданим коефіцієнтом ділення ($M = 7$)

Література: [1-4; 6; 9; 11; 13]

Модуль 2. Комп'ютерна аналогова схемотехніка

РОЗРАХУНОК ХАРАКТЕРИСТИК ІНТЕГРОВАНІХ СИСТЕМ ЕЛЕМЕНТІВ

Тема 6. Інтегровані системи елементів

Лабораторне заняття № 9.

Мета заняття

1. Прищепити студентам навички експериментального дослідження параметрів базового логічного елемента І-НІІ зі складним інвертором транзисторно-транзисторної логіки (ТТЛ), а також аналізу результатів,

отриманих експериментальним шляхом та за допомогою з теоретичних розрахунків.

2. Прищеплення навичок в питаннях побудови й налагоджування електронних схем інтегрованих систем елементів ТТЛ за допомогою засобів спеціального програмного забезпечення **Electronics Workbench**.

Стислі теоретичні відомості

На рис. 71 приведені умовне графічне зображення елементу I-НІ, логіка його роботи та спрощена принципова схема базового елементу ТТЛ. Ці елементи випускаються як самостійні вироби, а також використовуються для побудови других, більш складних приборів.

Ця схема вміщує три каскади: вхідний (транзистор $VT1$ і резистор R_1); фазорозщеплюючий (транзистор $VT2$ резистори R_2, R_3); вихідний (транзистори $VT3, VT4$ діод VD , резистор R_4).

Якщо один або декілька входів з'єднані з загальної шиною – безпосередньо або через вихідний транзистор попереднього каскаду ($U_{K-E} = 0,1 \dots 0,4 \text{ В}$), з'єднаний з цим входом емітерний перехід транзистора $VT1$ виявиться зміщеним в прямому напрямку, оскільки потенціал бази вище потенціалу емітера. Напруги на базі $VT1$, рівної $U_{K-E} = 0,7 - (0,1 \dots 0,4) \text{ В}$, недостатньо для відпирання переходів трьох транзисторів: колекторного $VT1$ і двох емітерних $VT2, VT4$. Цей випадок показаний на рис. 72.

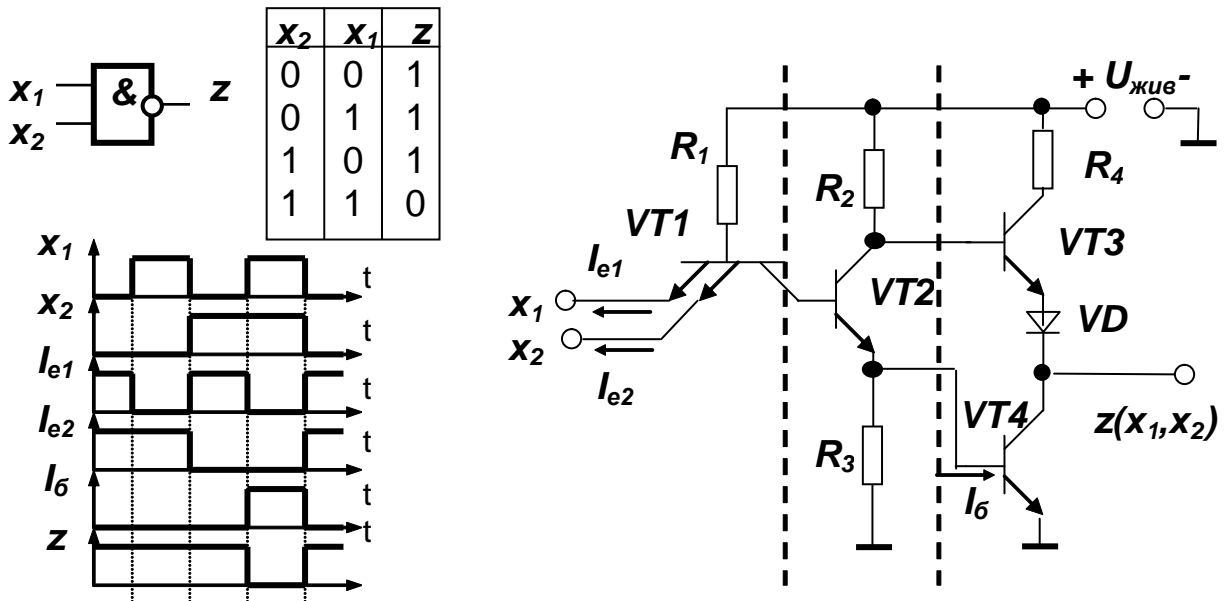


Рис. 71. Базовий логічний елемент І-НІ транзисторно-транзисторної логіки

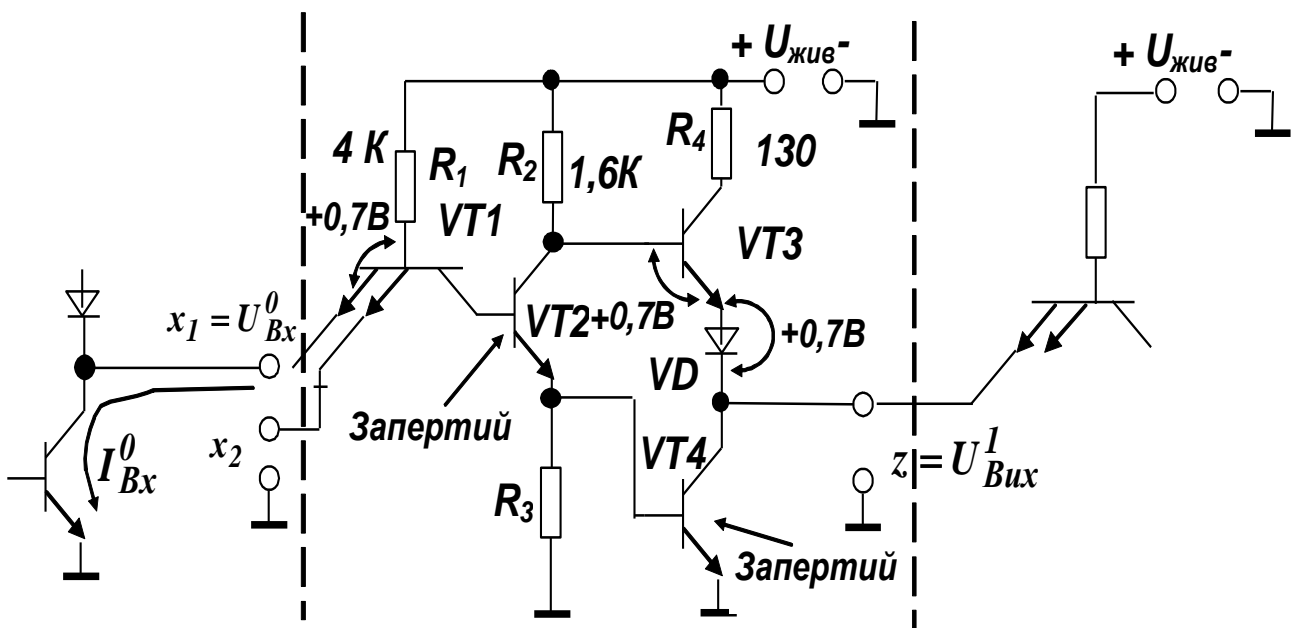


Рис. 72. Базовий логічний елемент транзисторно-транзисторної логіки І-НІ при U_{Bx}^0

Коли другий каскад (транзистор $VT2$) запертий, на його колекторі присутня висока напруга, яка сприяє відпиранню транзистора $VT3$ та діоду VD . Якщо при цьому відсутнє навантаження між вихідним виводом та загальною шиною, струм через транзистор $VT3$ і діод VD буде дуже

малий, оскільки транзистор **VT4** знаходиться в закритому стані внаслідок закритого стану транзистора **VT2**. Вихідна напруга в цьому випадку рівнятиметься $U_{Bux}^I = 5 - 2 \cdot 0,7 = 3,6 \text{ В}$.

Таким чином, елемент, що розглядається, виконує операцію **I-НІ**, оскільки на вході елемента сигнал низької напруги, а на виході – високої.

Якщо вважати, що до переходу кремнієвого транзистора можна прикладати до **0,5 В** для того, щоб він був в закритому стані, то максимальна напруга, яка може бути на базі транзистора **VT1** в цьому стані рівнятиметься $3 \cdot 0,5 = 1,5 \text{ В}$. Тому для забезпечення високої вихідної напруги, напруга на вході інтегрального елемента не повинна перевищувати $U_{Bx}^0 \leq 1,5 - 0,7 = 0,8 \text{ В}$.

Типове значення напруги логічного нуля на вході елемента транзисторно-транзисторної логіки дорівнює $U_{Bx}^0 = 0,3 \text{ В}$. Таким чином, вхідний струм розраховується за наступною формулою:

$$I_{Bx}^0 = \frac{U_{Жив} - (U_{B-E} + U_{Bx}^0)}{R_1} = \frac{5 - 0,7 - 0,3}{4 \cdot 10^3} = -1 \text{ мА}$$

З урахуванням можливого розкиду значень R_1 в довідниках вказують максимальний струм $I_{Bx}^0 = -1,6 \text{ мА}$.

Струм, що витікає з мікросхеми (умовне направлення струму прийнято від плюса до мінуса) вважають від'ємним, а той що втікає – позитивним.

При постійному $U_{Жив}$ вхідний струм визначається головним чином опором R_1 (рис.72). Якщо одночасно задіяні декілька входів, загальний вхідний струм розділяється рівномірно між ними. В цьому режимі роботи типова інтегральна мікросхема буде споживати потужність

$$P_{Cn} U_{Bux}^I = U_{Жив} \cdot I_{Bx}^0 = 5 \cdot 1,6 \cdot 10^{-3} = 0,8 \text{ мВт}.$$

Коли на всі входи елемента діє напруга високого рівня, багатоемітерний транзистор **VT1** працює в інверсному режимі (емітерний перехід здвигнутий в зворотному напрямку, а колекторний в прямому. Цей стан показаний на рис. 73. Струм I_1 представляє собою колекторний струм інверсно включеного вхідного транзистора. Транзистори **VT2** і **VT4** відкриваються. Якщо допустити, що падіння

напруги на насичених переходах дорівнює $U_{B-E} = 0,7 \dots 0,8 \text{ В}$, то напруга на базі транзистора **VT1** складатиме $U_B \geq 3 \cdot 0,8 = 2,4 \text{ В}$. Падіння напруги на R_1 , таким чином, буде $U_{R_1} = U_{\text{жив}} - U_B = 5 - 2,4 = 2,6 \text{ В}$, а струм –

$$I_{R_1} = \frac{U_{R_1}}{R_1} = \frac{2,6}{4 \cdot 10^3} = 0,65 \text{ мА}.$$

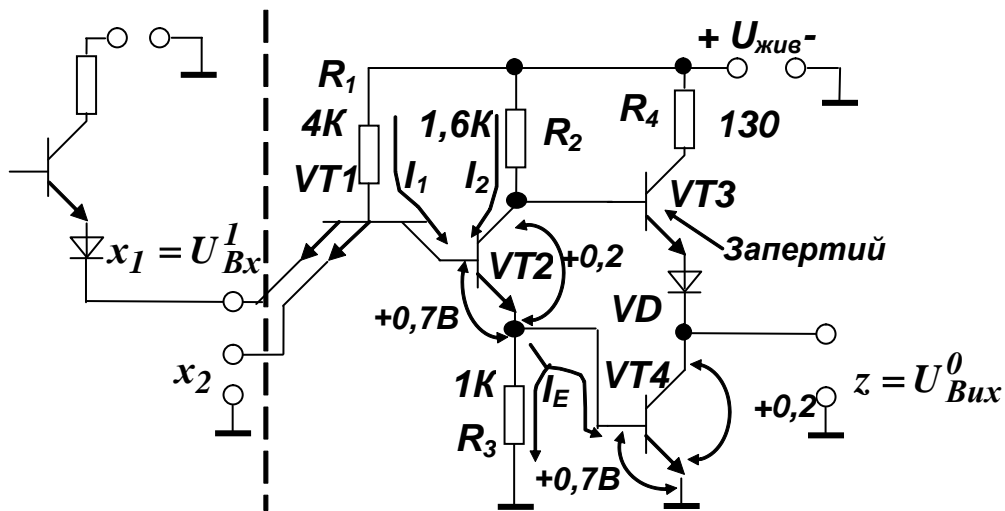


Рис. 73. Базовий логічний елемент транзисторно-транзисторної логіки І-НІ при U_{Bx}^1

Коли транзистор **VT4** відкритий і насичений, напруга між базою та емітером цього транзистору дорівнює $U_{B-E} = 0,7 \dots 0,8 \text{ В}$, і, якщо прийняти, що для насиченого транзистора **VT2** напруга між його колектором та емітером дорівнює $U_{K-E} \approx 0,2 \text{ В}$, то напруга на колекторі **VT2** складатиме $\approx 1 \text{ В}$ (відносно загальної шини). Із цих відношень стає зрозумілою роль діоду **VD**, оскільки без нього на вході транзистора **VT2** діяла б напруга $U_{B-E} = 1 - 0,2 = 0,8 \text{ В}$ і цей транзистор став би відкритим. Оскільки для відпирання як емітерного переходу транзистора, так і діоду потрібно $0,7 \dots 0,8 \text{ В}$, то, враховуючи той факт, що ці переходи з'єднані послідовно, можна стверджувати, що обидва переходи будуть надійно заперті, оскільки до кожного з них буде прикладатися недостатня для відпирання напруга ($0,35 \dots 0,4 \text{ В}$).

Струм через резистор R_2 $I_{R_2} = \frac{5 - 1}{1,6 \cdot 10^3} \approx 2,5 \text{ мА}.$

Таким чином, для того, щоб забезпечити насичення транзистора **VT2**, коефіцієнт передачі за струмом для цього транзистора повинен бути $h_{21E} = \frac{I_K}{I_B} = \frac{2,5}{0,65} \approx 4$. Типове значення $h_{21E} = 20$; при цьому насичення транзистора **VT2**, завжди забезпечено.

Емітерний струм **VT2** $I_{E_2} = I_{B_2} + I_{K_2} = 0,65 + 2,5 = 3,15 \text{ мА}$. Базовий струм транзистора **VT4** визначається як різниця емітерного струму транзистора **VT2** та струму через резистор R_3 , тобто $I_{B-E \text{ VT4}} = 3,15 - \frac{0,8}{1 \cdot 10^3} = 2,35 \text{ мА}$.

Потужність елемента, яку він споживає при дії на його входи сигналів високого рівня (тобто на виході схеми формуються сигнали логічного нуля $U_{Вих}^0$), можна визначити прийнявши до уваги той факт, що в цьому режимі в елементі протікає струм $I_{E_2} = I_{B_2} + I_{K_2} = 3,15 \text{ мА}$, а напруга живлення дорівнює $U_{Жив} = 5 \text{ В}$, тобто потужність споживання визначатиметься як $P_{Cn U_{Вих}^0} = U_{Жив} \cdot (I_{B_2} + I_{K_2}) = 5 \cdot 3,15 \cdot 10^{-3} = 15,75 \text{ мВт}$.

Колекторний струм транзистора **VT4** при дії на вході елемента сигналу логічного нуля $U_{Вих}^0$ складається зі струмів підключених до нього входів різних логічних елементів. Типовий коефіцієнт розгалуження по виходу $K_{роз} = 10$, максимальний струм одного входу $1,6 \text{ мА}$, таким чином, транзистор **VT4** повинен забезпечити максимальний струм $I_{Вих}^0 = 1,6 \cdot 10 = 16 \text{ мА}$ і мати коефіцієнт передачі $h_{21E} \geq \frac{I_K}{I_B} = \frac{16}{2,35} \approx 7$.

Для мікросхем **ТТЛ** коефіцієнт розгалуження обмежений вихідним струмом в стані $U_{Вих}^0$. Коли на виході існує $U_{Вих}^1$, входи підключених до нього мікросхем представляють високий опір, оскільки емітерні переходи зміщені в зворотному напрямку.

Мінімальну вхідну напругу логічної одиниці $U_{Вх}^1$ можна знайти, виходячи з того, що напруга на базі **VT1** складається з падіння напруги на трьох переходах: емітерних **VT2** і **VT4** і колекторних **VT1** – і рівняється приблизно $2,4 \text{ В}$. Емітерний перехід **VT1** повинен бути закритий, тому,

пряма напруга, яка прикладається до нього, не повинна бути більше, ніж $0,5 \text{ В}$. Тому $U_{Bx}^I \geq 2,4 - 0,5 = 1,9 \text{ В}$.

У момент зміни вхідного сигналу з високого рівня на низький транзистори $VT2$ і $VT4$ закриваються, а транзистор $VT3$ та діод VD відкриваються. Але $VT3$ та діод VD починають проводити трішки раніше моменту, в якому транзистор буде $VT4$ повністю закритий. Це явище утворює шлях струму по шині живлення, транзистору $VT3$, діоду VD , транзистору $VT4$ на землю і проявляється в короткочасних, але помітних кидках струму в ланцюгах живлення. Резистор R_4 обмежує піки струму на рівні $25 - 30 \text{ мА}$. Як додатковий захисний засіб, використовують шунтування шин живлення конденсатором, ємність якого вибирають з числа корпусів на платі із розрахунку $0,01 - 0,1 \text{ мкФ}$ на корпус.

Рекомендації щодо підготовки до практичного заняття

Кожному студенту пропонується за умовами двох завдань визначити задані параметри ТТЛ елемента за допомогою необхідних теоретичних розрахунків з подальшою перевіркою отриманих результатів за допомогою засобів пакета **Electronics Workbench**. Перед тим, як приступити до виконання завдання, необхідно повторити (або вивчити) теоретичний матеріал стосовно характеристик, принципів побудови та функціонування інтегральних мікросхем транзисторно-транзисторної логіки.

Питання для самоконтролю:

1. Дати характеристику кожному каскаду, з яких складається ТТЛ-елемент із складним інвертором.
2. Пояснити принцип роботи багатоемітерного транзистора.
3. Пояснити принцип формування сигналу логічної одиниці (нуля) базовим ТТЛ-елементом із складним інвертором.
4. За рахунок чого ТТЛ-елемент із складним інвертором має підвищену спроможність навантаження?
5. Пояснити спосіб розрахунку величини потужності, що споживається.
6. Дати визначення транзистору та режимам його роботи.
7. Яким чином забезпечується закритий (відкритий) стан вихідного транзистора ТТЛ-елемента?
8. Дати визначення основним параметрам інтегральних мікросхем.
9. Дати визначення коефіцієнту об'єднання за входом.
10. Дати визначення коефіцієнту розгалуження за виходом.

11. Поясніть функціонування ТТЛ–елемента з простим інвертором.
12. Які недоліки мають ТТЛ–елементи з простим інвертором?
13. Поясніть функціонування ТТЛ–елемента зі складним інвертором.

Завдання для опрацювання

Завдання №1

Згідно з заданим варіантом (табл. 25) визначити величину вхідного струму, вихідної напруги та потужності, що споживається базовим логічним елементом І-НІ транзисторно-транзисторної логіки при умові впливу на його вхід сигналу логічного нуля $x_1 = U_{Bx}^0$.

Завдання №2

Згідно з заданим варіантом (табл. 25) визначити коефіцієнт розгалуження та величину потужності, що споживається базовим логічним елементом І-НІ транзисторно-транзисторної логіки при умові впливу на його вхід сигналу логічної одиниці $x_1 = U_{Bx}^1$.

Таблиця 25

Варіанти до завдань № 1 та № 2

№ з/п	№ варіанту	Напруга вхідного сигналу логічного нуля (низького рівня) U_{Bx}^0 (В)	Напруга відпирання та насичення р-п переходів VT (VD) U_{B-E} (В)	Напруга між колектором та емітером насиченого (відкритого) транзистора U_{K-E} (В)	$U_{Жив}$ (В)	R_1 (кОм)	R_2 (кОм)	R_3 (кОм)	h_{21E}
1	2	3	4	5	6	7	8	9	10
1	1	0,1	0,8	0,2	5	4	1,6	1	7
2	2	0,3	0,79	0,19	4,8	3,9	1,5	1,1	8
3	3	0,5	0,7	0,21	4,7	4,1	1,7	0,9	6
4	4	0,2	0,71	0,2	4,9	3,8	1,8	1,2	9
5	5	0,4	0,78	0,2	4,8	4	1,6	1	7
6	6	0,3	0,72	0,19	4,7	3,9	1,5	1,1	9
7	7	0,2	0,77	0,2	5	3,8	1,7	0,9	8
8	8	0,1	0,73	0,19	4,9	4,1	1,6	1	7
9	9	0,2	0,76	0,21	5	3,8	1,5	1,1	9
10	10	0,1	0,74	0,2	5	3,9	1,6	1	7

1	2	3	4	5	6	7	8	9	10
11	11	0,4	0,75	0,19	4,8	4	1,5	1,1	9
12	12	0,3	0,73	0,21	4,7	3,9	1,7	0,9	8
13	13	0,1	0,76	0,2	5	4,1	1,8	1,2	8
14	14	0,3	0,74	0,19	4,9	3,8	1,6	0,9	7
15	15	0,5	0,75	0,2	5	4,2	1,5	1	9
16	16	0,3	0,71	0,21	4,9	4	1,6	1,1	7
17	17	0,2	0,78	0,2	5	4,2	1,5	1	7
18	18	0,1	0,72	0,19	5	4,1	1,7	1,1	8
20	20	0,1	0,77	0,2	4,7	4	1,6	1,2	9
21	21	0,5	0,73	0,19	5	3,9	1,5	1,1	7
22	22	0,3	0,7	0,21	5	4,1	1,7	0,9	6
23	23	0,5	0,78	0,2	4,8	3,8	1,8	1,2	8
24	24	0,3	0,72	0,19	5	4,2	1,6	0,9	9
25	25	0,2	0,77	0,2	4,9	3,8	1,6	1	7
26	26	0,1	0,73	0,19	5	4	1,7	1,1	8
27	27	0,4	0,7	0,19	4,9	3,9	1,6	1	8
28	28	0,1	0,75	0,2	5	4,1	1,5	1,1	9
29	29	0,3	0,7	0,19	4,8	3,8		0,9	6
30	30	0,5	0,77	0,21	4,7	4,2	1,8	1,2	8

Зміст звіту

1. Умови завдання № 1, теоретичні та практичні результати його виконання з необхідними коментаріями процедури їх отримання.

2. Умови завдання № 2, теоретичні та практичні результати його виконання з необхідними коментаріями процедури їх отримання.

3. Висновки.

Контрольні запитання

1. Пояснити стан транзисторів **ТТЛ**–елемента за умовами завдання № 1.

2. Пояснити призначення діоду **VD**.

3. Пояснити стан транзисторів **ТТЛ**–елемента за умовами завдання № 2.

3. Пояснити призначення кожного резистора в схеми.

4. Дати характеристику кожному каскаду **ТТЛ**–елемента зі складним інвертором.

Довідкові дані

На рис. 73 приведена схема експерименту для визначення параметрів ТТЛ-елемента згідно з умовами завдання. Оскільки в бібліотеці елементів **Electronics Workbench** відсутні багатоемітерні транзистори, то для побудови схеми експерименту багатоемітегрний транзистор складається з двох транзисторів базові і колекторні виводи яких з'єднані сумісно (рис. 74). Для отримання значень величини напруг та струмів необхідно використовувати відповідні вимірювальні прилади (амперметри та вольтметри).

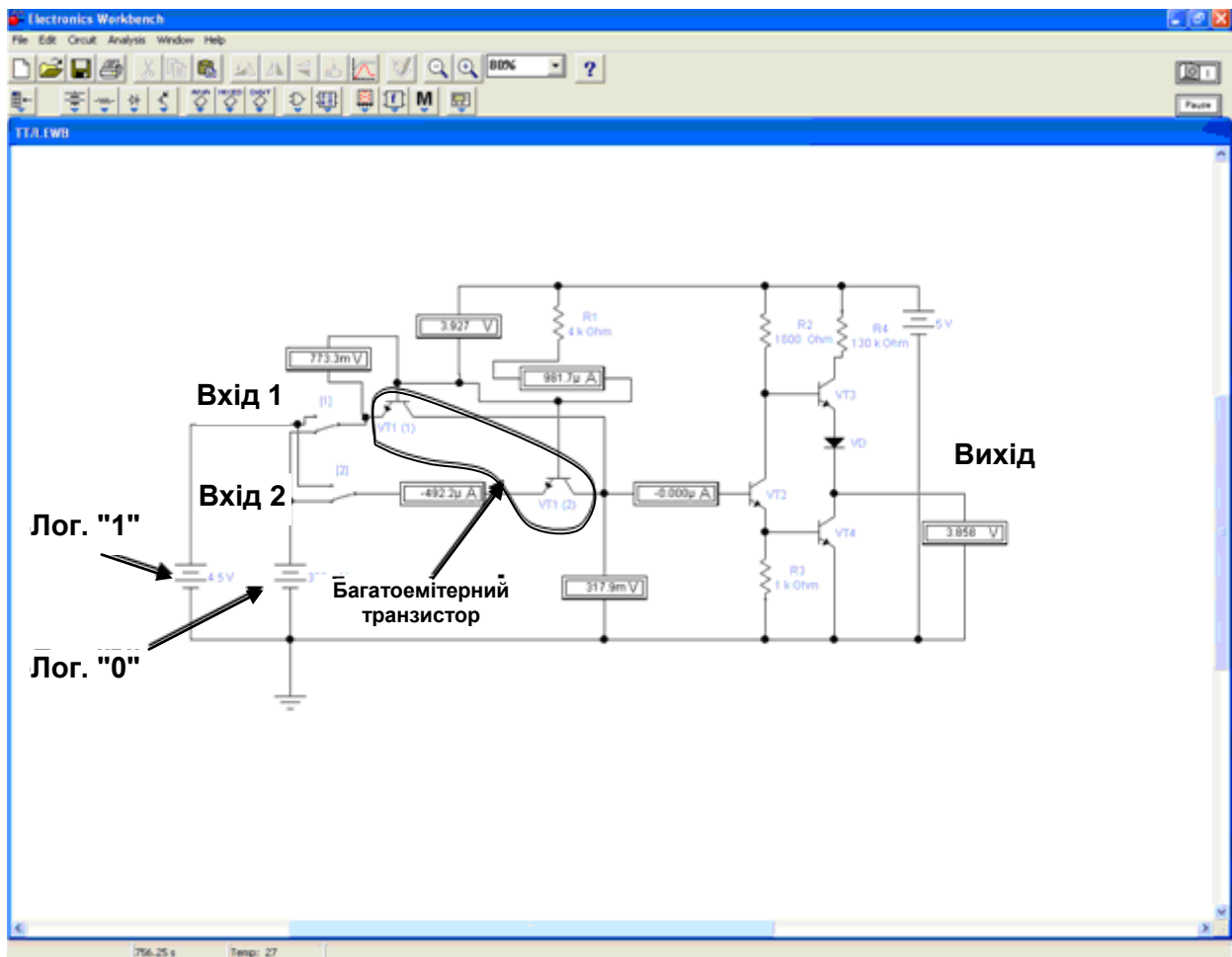


Рис. 74. Схема експерименту з дослідження властивостей базового логічного елемента ТТЛ зі складним інвертором

Значення вхідних сигналів (логічної 1 та 0) задаються на схемі відповідними джерелами живлення з заданими величинами напруги та вимикачами (1) та (2) .

Література: [1-4; 5; 10;12; 15]

Модуль 2. Комп'ютерна аналогова схемотехніка

ДОСЛІДЖЕННЯ СХЕМ НЕ ОПЕРАЦІЙНОМУ ПІДСИЛЮВАЧІ

Тема 7. Схемотехніка аналогових вузлів

Лабораторне заняття № 10.

Мета заняття

1. Закріплення знань принципів побудови та особливостей функціонування аналогового пристрою – операційного підсилювача. Дослідження універсальних властивостей операційних підсилювачів щодо їх спроможності бути використаними в аналогових та цифрових схемах з різноманітними алгоритмами перетворення вхідного сигналу.

2. Прищеплення навичок розрахунку параметрів операційних підсилювачів, а також побудови та налагоджування аналогових і цифрових електронних схем на базі операційних підсилювачів за допомогою програмного забезпечення **Electronics Workbench**.

Стислі теоретичні відомості

Операційним підсилювачем (ОП) називається підсилювач постійного струму з диференціальним входом та несиметричним виходом, що має великий коефіцієнт підсилення, високий вхідний та низький вихідний опір. Умовне графічне зображення ОП приведене на рис. 74-а.

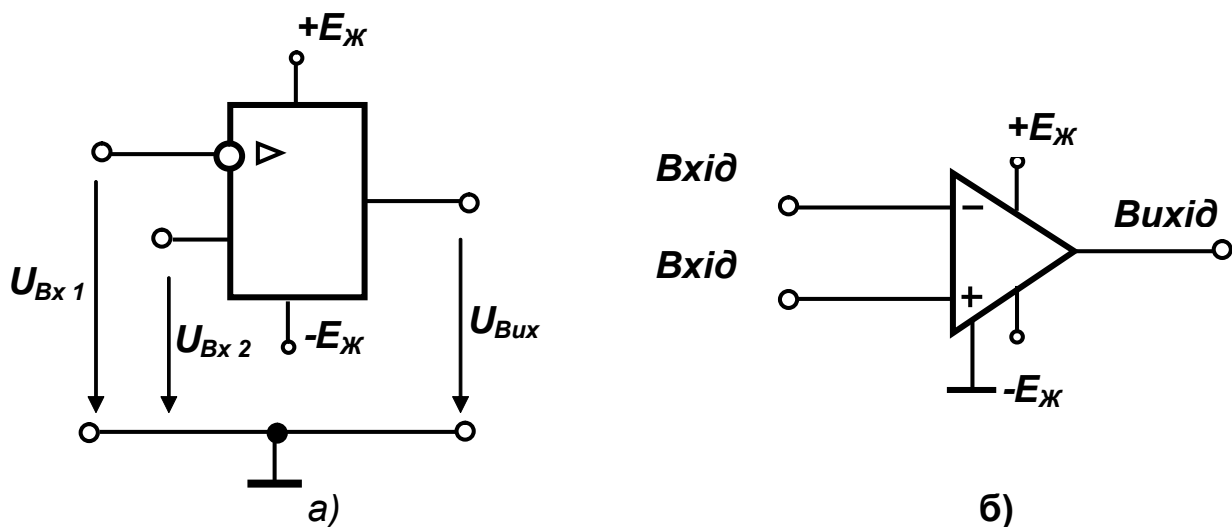


Рис. 75-а, б. Умовне графічне зображення операційного підсилювача

У деяких сучасних джерелах інформації (як правило, іноземного походження) операційний підсилювач зображується трикутником (рис.74–б).

Під універсальністю **ОП** будемо розуміти їх спроможність служити основою для побудови найрізноманітніших підсилювальних, імпульсних та цифрових пристроїв. Універсальність витікає з їх технічних показників і схемотехнічних особливостей. Назвемо деякі ці особливості.

1. Коефіцієнти підсилення і вхідний опір **ОП** настільки великий, що їх часто можна приймати рівними безмірності. Вихідний опір **ОП** практично дорівнює нулю, динамічний діапазон близький до межі, дрейфом нуля та рівнем шумів можна знехтувати у порівнянні з аналогічними показниками підсилювачів інших типів. Тому **ОП**, як ніякий інший, близький до ідеального підсилювача.

2. Великі значення коефіцієнта підсилення **ОП** за напругою K_U призводять до того, що навіть при вихідних напругах, близьких до напруг живлення, вхідні сигнали U_{Bx1} і U_{Bx2} , різниця яких дорівнює

$$U_{Bux} = K_U (U_{Bx2} - U_{Bx1}) = \frac{U_{Bux}}{K_U},$$

практично не відрізняються один від

одного. Указана особливість **ОП** дозволяє напруги U_{Bx1} і U_{Bx2} розглядати на лінійній ділянці амплітудної характеристики $U_{Bx2}(U_{Bx}^{Du\phi})$.

3. Оскільки коефіцієнт операційного підсилювача без зворотного зв'язку дуже великий, **ОП** під дією малих вхідних напруг здатний формувати стрибкоподібні вихідні напруги (імпульси).

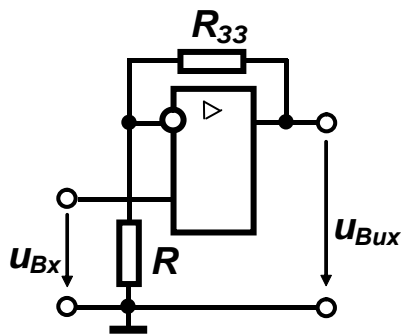
4. Наявність двох різнополярних входів **ОП** забезпечує реалізацію як позитивного, так і негативного зворотного зв'язку, що також дозволяє змінювати властивості і показники **ОП** в широких межах і утворювати на ньому за допомогою зовнішніх ланцюгів зворотного зв'язку різні пристрої.

Особливо великі можливості має **ОП**, який охоплений негативним зворотним зв'язком. Для таких підсилювачів K_U суттєво залежить від

$$\text{опору зворотного зв'язку } K_U = -\frac{R_{33}}{R} \text{ (рис. 76).}$$

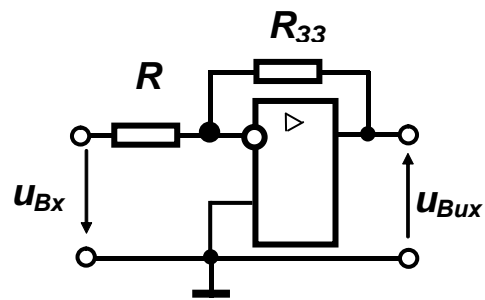
Приведений вираз тим точніше, чим ближчий до ідеального **ОП**, який використовується. Ця формула говорить і про можливість операційного підсилювача з від'ємним зворотним зв'язком виконувати різні функції.

Оскільки (ОП) має диференційний вхідний каскад, то джерело вхідного диференційного сигналу подається між входами підсилювача. При подаванні несиметричного сигналу на інвертуючий вхід відбувається зміна полярності вхідного сигналу, що підсилюється. Інший вхід є неінвертуючий, тобто під час подавання вхідного сигналу на цей вхід полярність вихідного сигналу співпадає з полярністю вхідного. На рис. 76, 77 приведені функціональні схеми та відповідні співвідношення між вихідними та вхідними сигналами підсилювача, що неінвертує (рис. 76) та інвертує (рис.77) напругу вхідного сигналу.



$$U_{Bux}(t) = \frac{R + R_{33}}{R} U_{Bx}(t)$$

Рис. 76. Підсилювач, що не інвертує



$$U_{Bux}(t) = -\frac{R_{33}}{R} U_{Bx}(t)$$

Рис. 77. Підсилювач, що інвертує

Суматор аналогових вхідних сигналів призначений для формування напруги, рівної підсиленій алгебраїчній сумі декількох вхідних сигналів, тобто виконує математичну операцію додавання декількох сигналів. При цьому вихідний сигнал додатково інвертується, тому і назва – суматор, що інвертує. В якості прикладу на рис. 78. приведена схема пристрою, який виконує дану операцію для трьох вхідних напруг. Вихідна напруга цієї схеми визначається виразом

$$u_{Bux} = -u_{Bx1} \frac{R_{33}}{R_1} - u_{Bx2} \frac{R_{33}}{R_2} - u_{Bx3} \frac{R_{33}}{R_3}.$$

На рис. 79 приведена схема суматора вхідних аналогових сигналів що не інвертує.

Для того, щоб вихідна напруга підсилювача визначалася виразом

$$u_{Bux} = u_{Bx1} \frac{R^+}{R_1} + u_{Bx2} \frac{R^+}{R_2} + u_{Bx3} \frac{R^+}{R_3}, \text{ треба, щоб виконувалася умова:}$$

$$\frac{R_{33}}{R^-} = \frac{R^+}{R_1} + \frac{R^+}{R_2} + \frac{R^+}{R_3}.$$

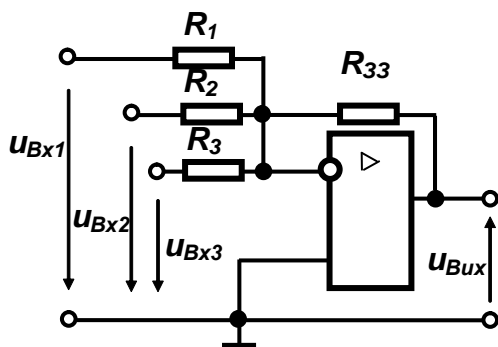


Рис. 78. Суматор, що інвертує

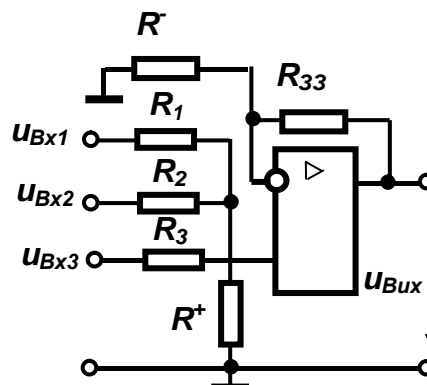
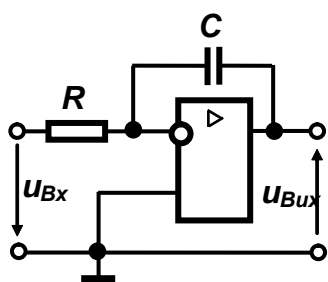


Рис. 79. Суматор, що не інвертує

На практиці намагаються забезпечити виконання умови $R_{33} = R^+$, тоді досягається необхідний баланс схеми, внаслідок чого результат виконання операції матиме мінімальну похибку.

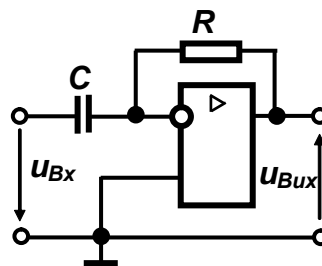
Інтегруючий підсилювачем називають такий підсилювач, вихідний сигнал якого пропорційний інтегралу за часом від вхідного сигналу підсилювача.

Простіша схема інтегруючого підсилювача приведена на рис. 80. Ця схема представляє собою підсилювач, що інвертує, в коло зворотного зв'язку якого включений конденсатор C . Якщо в схемі інтегруючого підсилювача поміняти місцями конденсатор з резистором, то схема набуває вигляду підсилювача, що диференціює (рис. 81).



$$u_{\text{вux}}(t) = -\frac{1}{RC} \int u_{\text{вx}}(t) dt$$

Рис. 80. Інтегруючий підсилювач



$$u_{\text{вux}}(t) = \frac{du_{\text{вx}}(t)}{dt}$$

Рис. 81. Підсилювач що диференціює

Пристрій порівняння аналогових сигналів (*компаратор*) виконує функцію порівняння або двох вхідних сигналів між собою, або одного вхідного сигналу з деяким наперед заданим еталонним рівнем. При цьому на виході пристрою формуються тільки два значення вихідного сигналу: якщо один із сигналів, що порівнюють більше іншого, то на виході операційного підсилювача формується сигнал великого рівня, в іншому випадку вихідний сигнал має протилежне значення. Тому можна сказати, що вхідний сигнал компаратора носить аналоговий характер, а вихідний цифровий. Одна зі схем компаратора на операційному підсилювачі приведена на рис. 82.

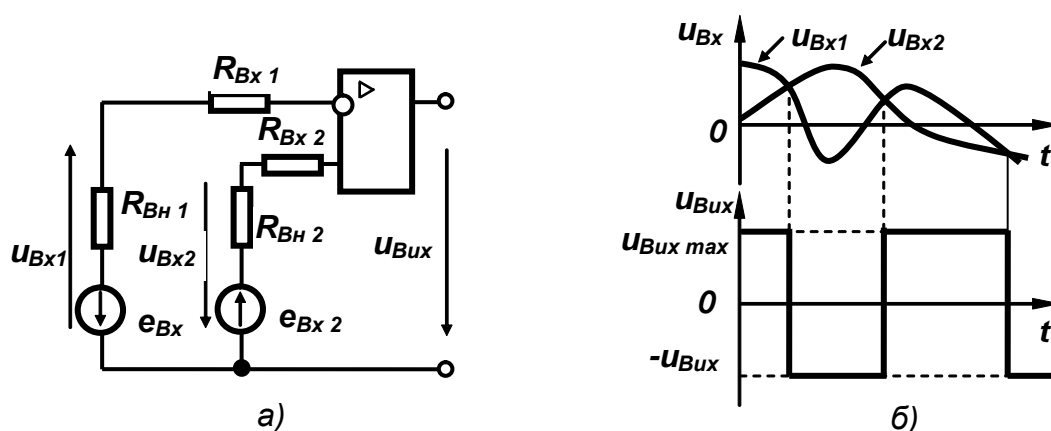


Рис. 82. Однопорогова схема порівняння двох напруг (а); часові діаграми, які пояснюють її роботу (б)

Рекомендації щодо підготовки до лабораторного заняття

Лабораторне заняття передбачає наявність твердих знань теорії операційних підсилювачів їх параметрів, характеристик, особливостей використання в схемах різного призначення щодо обробки аналогових та цифрових сигналів, а саме:

організації функціонування операційного підсилювача в режимі підсилення вхідного сигналу з інвертуванням (без інвертування);

використання операційного підсилювача для отримання суми (інвертованої суми) вхідних сигналів;

використання операційного підсилювача для побудови схеми інтегрування (диференціювання) вхідних сигналів;

використання операційного підсилювача для побудови схеми порівняння аналогових сигналів.

Питання для самоконтролю:

1. Дати характеристику операційного підсилювача.
2. Пояснити принцип функціонування компаратора на операційному підсилювачі.
3. Яким чином можна отримати повторювач вхідних сигналів, що інвертує (не інвертує)?
4. Дати характеристику основним параметрам операційного підсилювача.
5. У чому полягає роль резистора зворотного зв'язку для реалізації властивостей операційного підсилювача?

Програма лабораторного заняття

Завдання № 1

Відповідно до заданого варіанту (табл. 26) за допомогою теоретичних розрахунків визначити коефіцієнт підсилення за напругою K_U Теор. операційного підсилювача, що працює в режимі підсилення вхідного сигналу. Провести моделювання роботи цього підсилювача, експериментально визначити коефіцієнт підсилення за напругою K_U Експ. та порівняти отримані результати. Оцінити похибку визначення K_U .

Завдання № 2

Відповідно до заданого варіанту (табл. 26) за допомогою теоретичних розрахунків визначити значення вихідної напруги $U_{Вих}$ Теор. суматора аналогових вхідних сигналів на базі операційного підсилювача. Провести моделювання роботи цього суматора, експериментально визначити значення вихідного сигналу $U_{Вих}$ Експ. та порівняти його з наперед розрахованим. Оцінити похибку визначення.

Таблиця 26

Варіанти до завдань № 1 та № 2

№ варіанту	Завдання № 1			Завдання № 2							
	$U_{Вих} = K_U U_{Вх},$ (+)	$R_{33},$ кОМ	$R,$ кОМ	$U_{Вих} = \sum U_{Вх},$ (+)	$U_{Вх 1},$ В	$U_{Вх 2},$ В	$U_{Вх 3},$ В	$R_1,$ кОМ	$R_2,$ кОМ	$R_3,$ кОМ	$R_{33},$ кОМ
	$U_{Вих} = -K_U U_{Вх},$ (-)			$U_{Вих} = -\sum U_{Вх},$ (-)							
1	2	3	4	5	6	7	8	9	10	11	12
1	+	12	4	-	-0,1	0,16	0,2	4	4	2	10

1	2	3	4	5	6	7	8	9	10	11	12
2	-	16	4	+	4	-7	3	3,5	2	3,5	7
3	+	6	3	-	-0,2	0,2	0,1	5	2,5	2,5	3
4	-	1,5	0,3	+	3	6	-4	2	6	4	12
5	+	2	0,5	-	-0,5	0,7	-	2	2	-	7
6	-	6	3	+	-4	2	3	2	1	4	8
7	+	2,1	0,7	-	0,15	-0,2	0,3	0,5	0,25	0,25	9
8	-	1,6	0,4	+	-3	4	6	1	2	1,5	3
9	+	6	3	-	-0,1	0,1	-0,2	2	2	0,5	5
10	-	4	2	+	2	-4	3	2	1	4	8
11	+	8	4	-	0,2	0,4	-0,5	1	2	2	10
12	-	1,2	0,6	+	-2	-4	3	6	2	3	6
13	+	11	5,5	-	-0,2	0,4	0,1	2	4	4	4
14	-	18	9	+	3	4	2	3,5	2	3,5	7
15	+	1,2	0,3	-	-0,4	0,3	0,2	2,5	2,5	5	12
16	-	6	2	+	3	-1	2	3	2	1	6
17	+	3	1,5	-	-0,3	-	0,5	2	-	2	10
18	-	2,1	0,7	+	-5	3	4	1	4	2	4
19	+	1,2	0,4	-	0,2	-0,1	0,3	0,25	0,25	0,5	6
20	-	2	0,5	+	4	-2	-4	4	2	5	10
21	+	16	8	-	-0,1	0,2	0,3	2	0,5	2	8
22	-	1,4	0,2	+	5	-4	2	2	3	4	12
23	+	15	5	-	-0,2	0,5	0,1	2	1	2	3
24	-	7	3,5	+	7	-3	-2	4	2	1	4
25	+	13	6,5	-	0,3	0,6	-0,4	4	2	4	12
26	-	5	2,5	+	-1	4	-3	2	1	4	8
27	+	3	0,5	-	-0,4	0,2	0,3	2,5	5	2,5	12
28	-	0,9	0,3	+	-4	2	-3	3	2	3	9
29	+	4	2	-	0,4	-0,5	0,3	1	2	2	7
30	-	1	0,2	+	-3	-2	8	3,5	2	3,5	6

Завдання № 3

Відповідно до заданого варіанту (табл. 27) за допомогою теоретичних розрахунків визначити значення інтегралу $\int_0^{T_{\text{Пер.}u_{\text{ex}}(t)}} u_{\text{ex}}(t) dt$ (інтервали інтегрування дорівнюють періоду вхідного сигналу), або диференціалу вхідного сигналу $\frac{du_{\text{ex}}(t)}{d(t)}$. Провести моделювання

роботи схеми на операційному підсилювачі, що інтегрує (диференціює), експериментально визначити значення вихідного сигналу та порівняти його з наперед розрахованим.

Завдання № 4

Відповідно до заданого варіанту (табл. 27) провести дослідження роботи компаратора двох аналогових сигналів на операційному підсилювачі.

Дослідження роботи вищеназваних схем на операційних підсилювачах проводиться за допомогою засобів програмного пакета моделювання роботи аналогових та цифрових пристроїв **Electronics Workbench**.

Таблиця 27

Варіанти до завдань № 3 та № 4

№ варіанту	Завдання № 3							Завдання № 4					
	$T_{пер.} \int_0^t u(t) dt$	$\frac{du(t)}{dt}$	R, кОм	C, μF	Форма	F, кГц	E _{u_{вх}} , В	Вхід, що не інвертує			Вхід, що інвертує		
								Форма	F, кГц	u _{вх1} , В	Форма	F, кГц	u _{вх2} , В
2	3	4	5	6	7	8	9	10	11	12	13	14	
1	*		1	9	Гармон.	5	1	Гармон.	1	3	Const.	-	2
2		*	2	10 ⁻⁵	Трик.	10	3	Const.	-	3	Трик.	1	5
3	*		2	1	Трик.	13	5	Трик.	5	3	Const.	-	-2
4		*	4	8·10 ⁻⁶	Гармон.	8	2	Const.	-	-2	Гармон.	2	3
5	*		3	4	Імп.	4	4	Гармон.	6	4	Const.	-	3
6		*	7	2·10 ⁻⁶	Гармон.	5	5	Const.	-	2	Трик.	3	6
7	*		4	7	Імп.	3	1	Трик.	3	4	Const.	-	-2
8		*	6	3·10 ⁻⁶	Трик.	4	3	Const.	-	3	Гармон.	4	5
9	*		5	6	Гармон.	12	2	Гармон.	4	4	Const.	-	3
10		*	3	8·10 ⁻⁶	Імп.	1	4	Const.	-	2	Трик.	5	3
11	*		3	4	Гармон.	6	5	Трик.	6	3	Const.	-	-1
12		*	8	10 ⁻⁵	Трик.	4	3	Const.	-	-2	Гармон.	6	3

1	2	3	4	5	6	7	8	9	10	11	12	13	14
13	*		3	3	Імп.	7	4	Гармон.	4	3	Const.	-	2
14		*	6	$2 \cdot 10^{-6}$	Гармон.	3	2	Const.	-	3	Трик.	7	4
15	*		4	4	Імп.	5	1	Трик.	3	2	Const.	-	1
16		*	8	$2 \cdot 10^{-6}$	Гармон.	2	4	Const.	-	2	Гармон.	8	4
17	*		6	2	Гармон.	10	5	Гармон.	2	4	Const.	-	-2
18		*	4	$6 \cdot 10^{-6}$	Трик.	7	3	Const.	-	-2	Трик.	9	3
19	*		2	4	Імп.	6	2	Трик.	7	3	Const.	-	-1
20		*	9	$2 \cdot 10^{-6}$	Імп.	5	5	Const.	-	-3	Гармон.	8	4
21	*		6	2	Гармон.	10	2	Гармон.	5	5	Const.	-	-4
22		*	3	$8 \cdot 10^{-6}$	Трик.	7	5	Const.	-	3	Трик.	7	4
23	*		5	2	Імп.	11	1	Трик.	5	3	Const.	-	-2
24		*	9	$3 \cdot 10^{-6}$	Гармон.	5	3	Const.	-	-3	Гармон.	6	2
25	*		6	1	Імп.	12	2	Гармон.	3	2	Const.	-	-1
26		*	8	$9 \cdot 10^{-6}$	Гармон.	8	1	Const.	-	-2	Трик.	5	3
27	*		3	4	Імп.	5	5	Трик.	5	4	Const.	-	3
28		*	2	$3 \cdot 10^{-6}$	Трик.	8	2	Const.	-	2	Гармон.	4	3
29	*		4	3	Гармон.	8	4	Гармон.	7	4	Const.	-	3
30		*	2	$3 \cdot 10^{-6}$	Імп.	5	5	Const.	-	-1	Трик.	3	2

Зміст звіту

1. Результати теоретичного визначення коефіцієнту підсилення за напругою K_U Теор. операційного підсилювача, що працює в режимі підсилення вхідного сигналу, а також результати експериментального моделювання роботи цього підсилювача, з визначенням коефіцієнту підсилення за напругою K_U Експ.

2. Результати теоретичного визначення значення вихідної напруги $U_{Вих\ Теор.}$ суматора аналогових вхідних сигналів на базі операційного підсилювача, а також результати експериментального моделювання роботи цього суматора з визначенням напруги вихідного сигналу $U_{Вих}$

Експ..

3. Результати теоретичного визначення значення інтегралу (диференціалу) вхідного сигналу, а також результати моделювання роботи схеми на операційному підсилювачі що інтегрує (диференціює).

4. Результати дослідження роботи компаратора двох аналогових сигналів на операційному підсилювачі.

5. Короткий опис результатів дослідження – висновки.

Контрольні запитання

1. Дати визначення операційному підсилювачу.

2. Привести структурну схему операційного підсилювача.

3. Дати характеристику операційному підсилювачу, що інвертує (не інвертує).

4. Привести схему суматора вхідних аналогових сигналів, що не інвертує (інвертує).

5. Пояснити назву операційного підсилювача. Завдяки яким характеристикам підсилювач набув властивості операційного підсилювача?

6. Дати характеристику підсилювача, що інтегрує (диференціює) вхідні сигнали.

7. Пояснити принцип побудови компараторів аналогових сигналів на операційному підсилювачі.

8. Яким чином можна коректувати амплітудно-частотну характеристику операційного підсилювача?

Довідкові дані

Варіант виконання завдання №1

Припустимо, що згідно з умовами завдання № 1 необхідно провести теоретичні розрахунки коефіцієнту підсилення за напругою K_U *Теор.* операційного підсилювача та порівняти його з експериментально визначеним K_U *Експ.*, при умові, що $U_{Вх} = 2\text{В}$, а $R_{33} = 9,3\text{кОм}$ і

$R = 3,1 \text{ кОм}$.

Приклад виконання завдання № 1 представлений на рис. 83. Рисками на схемі показаний порядок знаходження операційних підсилювачів в базі даних елементів **Electronics Workbench**, а також значення необхідних параметрів для експериментальної їх оцінки.

Варіант виконання завдання №2

Припустимо, що згідно з умовами завдання № 2 необхідно теоретичним і експериментальним методами визначити значення вихідного сигналу операційного підсилювача що працює в режимі складання (додавання) вхідних сигналів при наступних значеннях параметрів схеми:

$$u_{Bx1} = -10 \text{ мВ}; \quad u_{Bx2} = 16 \text{ мВ}; \quad u_{Bx3} = 20 \text{ мВ}; \quad R_{33} = 10 \text{ кОм}; \\ R_1 = 4 \text{ кОм}; \quad R_2 = 4 \text{ кОм}; \quad R_3 = 2 \text{ кОм}.$$

Приклад виконання завдання № 2 представлений на рис.83.

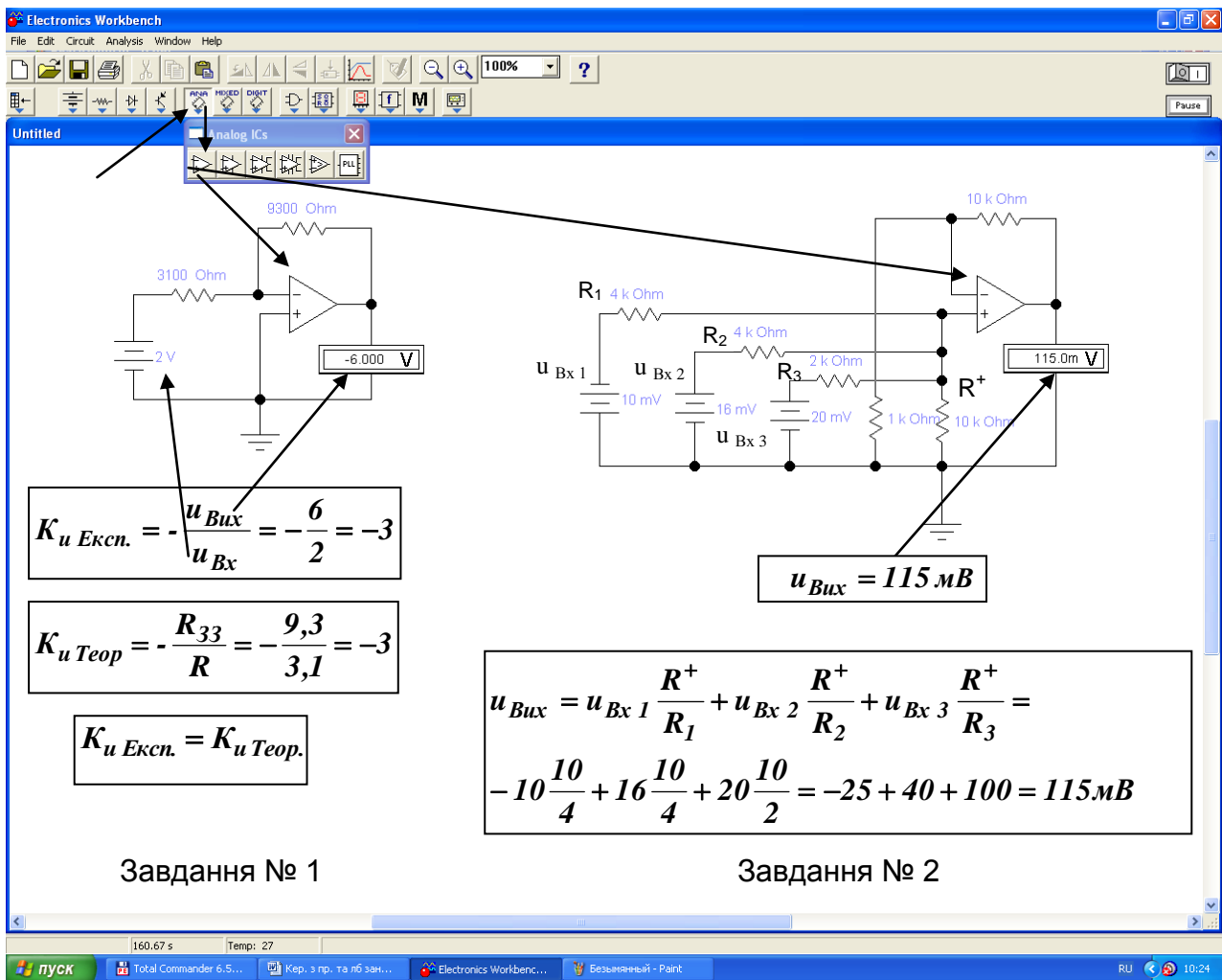


Рис. 83. Приклад виконання завдання № 1 та завдання № 2

Варіант виконання завдання № 3

Припустимо, що згідно з умовами завдання № 3 необхідно за допомогою операційного підсилювача здійснити диференціювання вхідного імпульсного сигналу, частота якого дорівнюється **5 кГц**, а амплітуда **3 В**, при умові, що параметри схеми мають наступні значення: $C = 3 \cdot 10^{-12} \text{ Ф}$, $R = 9 \cdot 10^3 \text{ Ом}$. Приклад виконання завдання № 3 представлений на рис. 84.

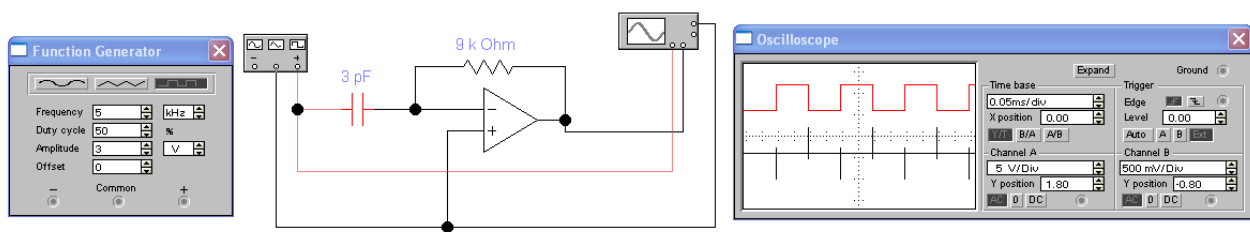


Рис. 84. Приклад виконання завдання №3

Варіант виконання завдання № 4

Припустимо, що згідно з умовою завдання № 3 необхідно за допомогою аналогового компаратора порівняти сигнал гармонічної форми з частотою **5 кГц** та амплітудою **3 В** з сигналом постійної напруги **2 В**. Приклад виконання завдання № 4 приведений на рис. 85.

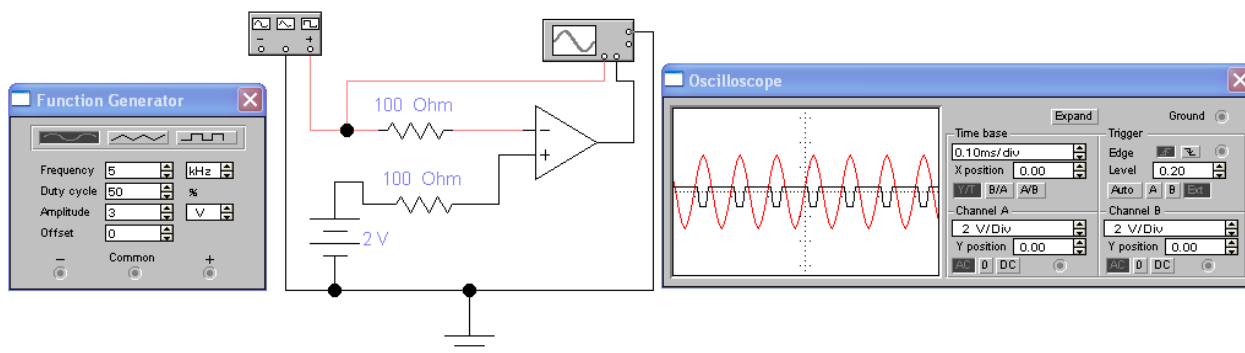


Рис. 85. Приклад виконання завдання № 4

Література: [1-4; 6; 9; 14; 15; 18]

Модуль 2. Комп'ютерна аналогова схемотехніка

ДОСЛІДЖЕННЯ ГЕНЕРАТОРІВ ІМПУЛЬСІВ

Тема 8. Схемотехніка обслуговуючих елементів

Лабораторне заняття № 11.

Мета заняття

1. Вивчення принципів побудови та особливостей функціонування генераторів імпульсів. Дослідження властивостей автоколивального

мультивібратора та генератора напруги, що лінійно змінюється, впливу параметрів елементів схеми на вид та характеристики вихідних сигналів.

2. Прищеплення навичок побудови, налагоджування та експериментального дослідження функціонування генераторів імпульсів на операційних підсилювачах за допомогою програмного забезпечення **Electronics Workbench**.

Стислі теоретичні відомості

Генератором електричних коливань називається пристрій, що перетворює енергію джерела постійного струму в енергію змінного струму потрібної форми. В залежності від форми вихідної напруги розрізняють генератори гармонічних коливань та генератори негармонічних коливань (імпульсні або релаксаційні генератори).

Незалежно від форми вихідної напруги всі генератори можуть функціонувати в одному з двох режимів: режимі автоколивань (автогенератори); режимі запуску зовнішніми імпульсами (загальмовані або очікуючі генератори).

Мультивібратор (від латинського слова *multim* – багато та *vibro* – коливаю) – релаксаційний генератор імпульсів майже прямокутної форми, виконаний у вигляді підсилювального пристрою з ланцюгом позитивного зворотного зв'язку (**ПЗЗ**).

Зокрема, як підсилювач можна використовувати й операційний підсилювач (**ОП**). Схема мультивібратора на **ОП** наведена на рис. 86. У даному випадку **ОП** охоплений двома ланцюгами зворотного зв'язку:

позитивним зворотним зв'язком з коефіцієнтом передачі $b_{ПЗЗ} = \frac{R_2}{R_1 + R_2}$

та негативним зворотним зв'язком (**НЗЗ**) з $b_{НЗЗ} = \frac{1}{R \cdot R_C + 1}$,

де R_C – опір конденсатора для змінного струму.

Розглянемо процеси, що відбуваються в схемі. Припустимо, що конденсатор C в момент часу t_0 , коли на схему було подано напругу живлення, знаходився в повністю розрядженому стані. Завдяки тому, що підсилювач охоплений ланцюгом **ПЗЗ**, а напруга на його вході, що інвертує дорівнює нулю, **ОП** з рівною імовірністю може встановитися в кожне з двох його максимально можливих напруг.

Допустимо, $u_{Вих1} = U_{Вих\max}$. Тоді вхідна напруга ОП прийме значення $U_{Вх\text{ОП}} = U_{Вхi} - U_{Вхн} = -b_{ПЗЗ}U_{Вих\max} < 0$, що підтвердить позитивну полярність його вихідної напруги. Після появи на виході ОП напруги позитивної полярності $U_{Вих\max}$ починається процес заряду конденсатора C . Напруга на вході підсилювача, що інвертує, почне підвищуватися. Цей процес іде з постійного часу заряду $\tau = RC$ і супроводжується збільшенням вхідної напруги ОП. Отже, стан схеми буде квазистійким.

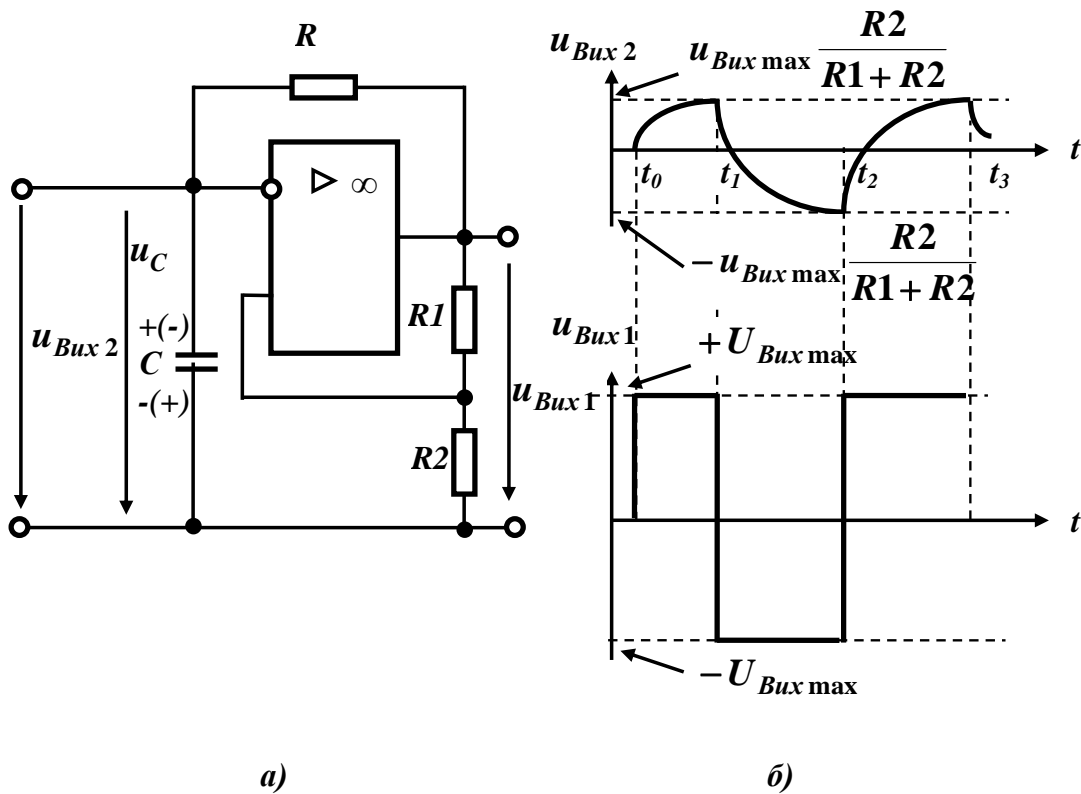


Рис. 86. Принцип роботи мультивібратора на ОП:
а) функціональна схема; б) часові діаграми роботи

У момент, коли напруга, що інвертує, на вході досягне значення $U_{Вхi} = b_{ПЗЗ}U_{Вих\max}$ (при цьому $U_{Вх\text{ОП}} = 0$), вихідна напруга підсилювача змінить свою полярність, зменшившись до $U_{Вих1} = -U_{Вих\max}$. Напруга на вході, що не інвертує, зменшиться до $U_{Вхн} = -b_{ПЗЗ}U_{Вих\max}$, а вхідна напруга підсилювача збільшиться до $U_{Вх\text{ОП}} = 2b_{ПЗЗ}U_{Вих\max} > 0$.

Новий стан схеми також буде квазистійким. Зміна полярності

вихідної напруги **ОП** викличе перезаряд конденсатора C . Внаслідок цього з часом вхідна напруга підсилювача $U_{Bx ОП}$ буде зменшуватися, і в момент, коли $U_{Bx ОП} = 0$ ($U_{Bxi} = -b_{ПЗЗ} U_{Bix max}$), відбудеться чергове перемикання схеми й процес повториться.

Таким чином, на виході **ОП** буде формуватися змінна напруга u_{Bix1} прямокутної форми (рис. 86–б). Форма напруги на конденсаторі u_{Bix2} , яка складена з початкових ділянок експонентних процесів його перезаряду, буде наближатися до трикутного.

Із сказаного можна зробити два висновки:

щодо вихідної напруги **ОП** (u_{Bix1}) схему можна розглядати як мультівібратор, який працює в режимі автоколиваний;

щодо напруги на конденсаторі C (u_{Bix2}) схема є генератором пилкоподібної напруги (напруги що лінійно змінюється).

Для визначення залежності частоти вихідної напруги розглянутої схеми від параметрів її елементів запишемо вираз для перезаряду конденсатора C :

$$u_C(t) = u_{C вільн} + u_{C змуш} = U_{C0} e^{-\frac{t}{RC}} + U_{Bix max} \left(1 - e^{-\frac{t}{RC}} \right),$$

де $u_{C вільн}$ й $u_{C змуш}$ – вільна й змушена складові процесу перезаряду конденсатора C ;

U_{C0} – напруга на конденсаторі в початковий момент часу ($t = t_0$).

Відповідно до наведених часових діаграм маємо: для моменту t_1 $U_{C0} = b_{ПЗЗ} U_{Bix max}$, для моменту часу t_2 – $U_C = -b_{ПЗЗ} U_{Bix max}$. Підставляючи ці значення напруг у вираз для $u_C(t)$ і розв'язуючи його відносно частоти вихідної напруги, знаходимо період і частоту коливаний мультівібратора:

$$T = 2(t_2 - t_1) = 2RC \ln \left(1 + 2 \frac{R1}{R2} \right);$$

$$f_0 = \frac{1}{2(t_2 - t_1)} = \frac{1}{2RC \ln \left(1 + 2 \frac{R1}{R2} \right)}.$$

Як видно з отриманих для збільшення частоти вихідної напруги необхідно зменшувати як постійну часу ланцюга негативного зворотного зв'язку τ , так і коефіцієнт передачі ланцюга позитивного зворотного зв'язку ($b_{ПЗЗ}$). Останнє автоматично приводить до зменшення амплітуди вихідної напруги $U_{Вих 2}$.

Отримані вирази справедливі для припущення що $U_{Вих max} = |-U_{Вих max}|$ період і значення $b_{ПЗЗ}$ і τ не залежать від полярності вихідної напруги. Як правило, в реальних ОП умова $U_{Вих max} = |-U_{Вих max}|$ не виконується. До того ж в ряді випадків необхідно мати або прямокутну напругу, для якої тривалість імпульсів не рівняється тривалості пауз, або трикутну напругу з різними за абсолютними величинами значеннями похідної на різних інтервалах. Отримати такі результати можна шляхом відповідної зміни значень τ і $b_{ПЗЗ}$. В якості прикладу на рис. 85-а, б приведені схеми генераторів з різними для позитивних і негативних значень вихідної напруги ОП τ і $b_{ПЗЗ}$.

Лінійнозмінною напругою називається напруга, яка протягом деякого часу змінюється за законом близьким до лінійного, а потім швидко повертається до початкового рівня. Іноді лінійнозмінну напругу називають пилоподібною напругою.

Основний спосіб формування лінійнозмінної напруги полягає в заряді конденсатора через резистор або струмостабілізуючий елемент, як показано на рис. 86.

При заряді конденсатора C від джерела напруги $E_{Жив}$ $E_{живл}$ через резистор R (рис. 86- а) робочою є початкова ділянка експоненціальної залежності u_C від t , яку приблизно можна вважати лінійною. Для швидкого розряду конденсатора застосовується ключ K .

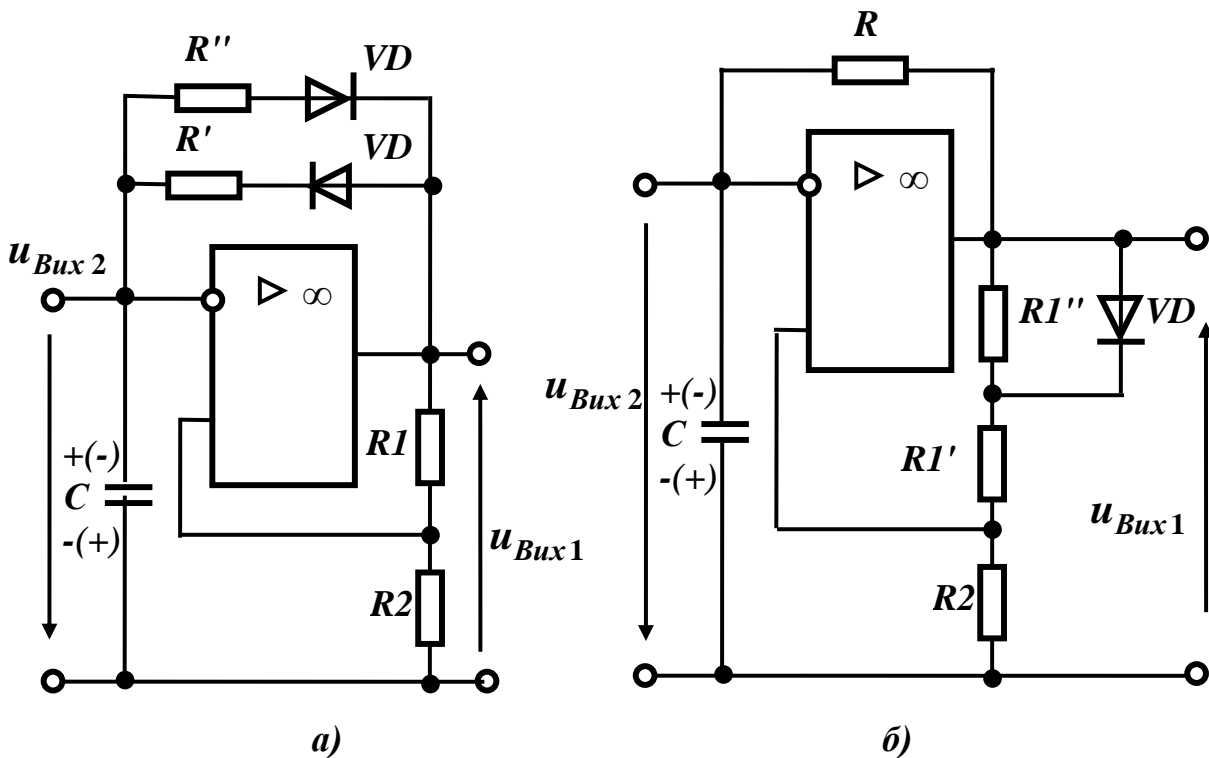


Рис. 85. Схеми генераторів на ОП зі змінними коефіцієнтами передачі ланцюга НЗЗ (а) та ПЗЗ (б)

При розімкненому ключі K формується прямий хід лінійнозмінної напруги тривалістю $t_{пр}$, при замкненому – зворотний хід тривалістю $t_{звор}$. Залежно від заданого ступеня нелінійності амплітуда U_m може досягати значень $(0,3 \div 0,7)E_{живл}$.

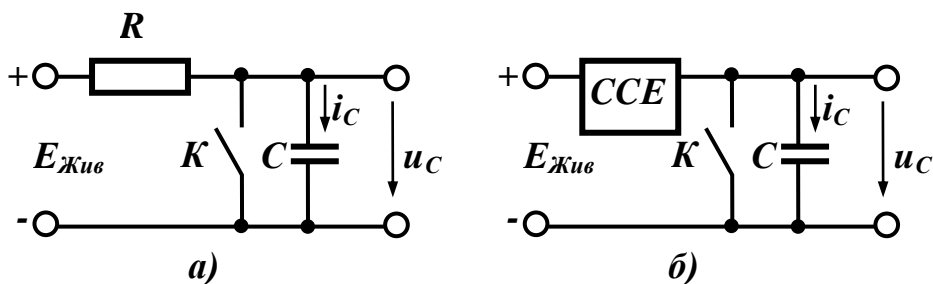


Рис.86. Принцип формування лінійнозмінної напруги

Розглянемо тепер схему із зарядом конденсатора через струмостабілізуючий елемент, показану на рис. 86-б. Оскільки напруга на конденсаторі C визначається виразом

$$u_C(t) = \frac{1}{C} \int i_C(t) dt,$$

то при стабілізації струму заряду конденсатора ($i_C(t) = i_C = const$), отримаємо: $u_C(t) = \frac{i_C}{C} t$.

Таким чином, при стабілізації струму заряду конденсатора C напруга на конденсаторі буде змінюватися за лінійним законом залежно від часу t .

Застосування інтеграторів на ОП забезпечує одержання вихідної напруги, пропорційної інтегралу від вхідної напруги. Отже, подавши на вхід інтегратора постійну напругу, одержимо на його виході лінійнозмінну напругу. На рис. 87 показана схема генератора лінійно-змінної напруги (ГЛЗН) з конденсатором C , ввімкненому в коло НЗЗ ОП. Часові діаграми роботи ГЛЗН показані на рис. 88.

Схема управляється імпульсами позитивної полярності, які, замикаючи діод VD , усувають шунтування інвертуючого входу на загальну шину джерела живлення на час тривалості імпульсу, протягом якого відбувається інтегрування вхідної напруги $+ E_{жив.л.}$.

Тобто діод виконує в схемі роль ключа (рис.86 б.). До речі, цю ж роль може виконувати і транзистор.

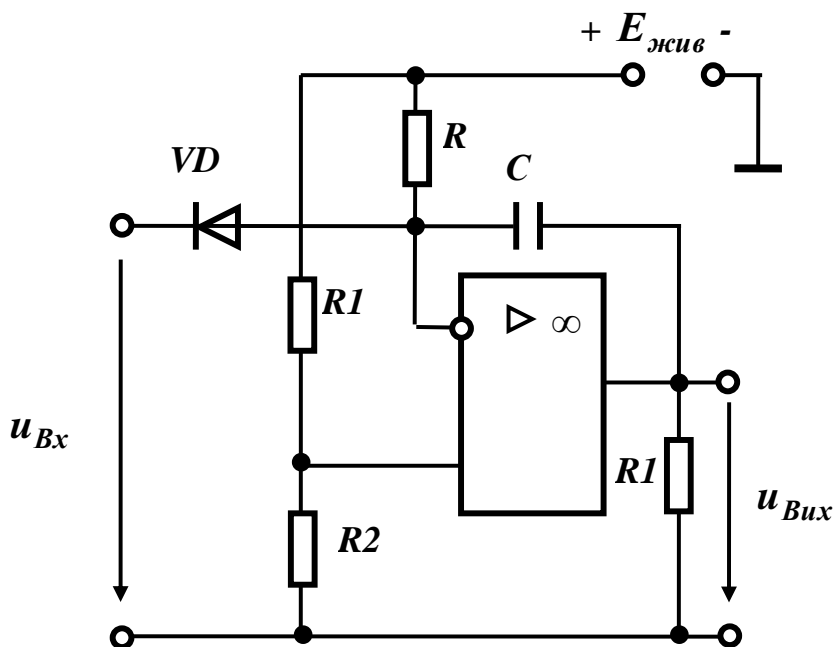


Рис.87. Схеми ГЛЗН на операційному підсилювачі

До подачі керуючого імпульсу ($t < t_1$) діод VD відкритий, тому напруга на інвертуючому вході ОП дорівнює падінню напруги на діоді:

$U_{VDпр} = U^- \approx 0,3 \div 0,4 \text{ В}$. Напряга на неінвертуючому вході ОП U^+ визначається дільником напруги на резисторах $R1$ і $R2$:

$$U^+ = E_{живл} \frac{R2}{R1 + R2} \gg 0.$$

Значення опорів резисторів $R1$ і $R2$ вибираються таким чином, щоб при відсутності керуючого імпульсу виконувалася умова: $u_{Вих} = +U_{Вихmax}$ (ОП перебуває в режимі обмеження). Тому конденсатор C інтегратора заряджений до напруги $+U_{Вихmax}$.

Позитивний імпульс, впливаючи на вхід ГЛЗН у момент часу t_1 , закриває діод VD , напруга U^- трохи зростає, що приводить до невеликого стрибка напруги на виході. Потім конденсатор C починає розряджатися через резистор R і вихідний опір ОП. Ввімкнення конденсатора C в коло НЗЗ дозволяє стабілізувати струм розряду й підвищити лінійність вихідної напруги.

Якщо співвідношення між постійною часу розряду конденсатора τ й тривалістю прямого ходу $t_{пр}$ задовольняє рівнянню $\tau = RC \approx 0,5t_{пр}$, то за час тривалості імпульсу конденсатор встигає повністю перезарядитися до напруги $-U_{Вихmax}$.

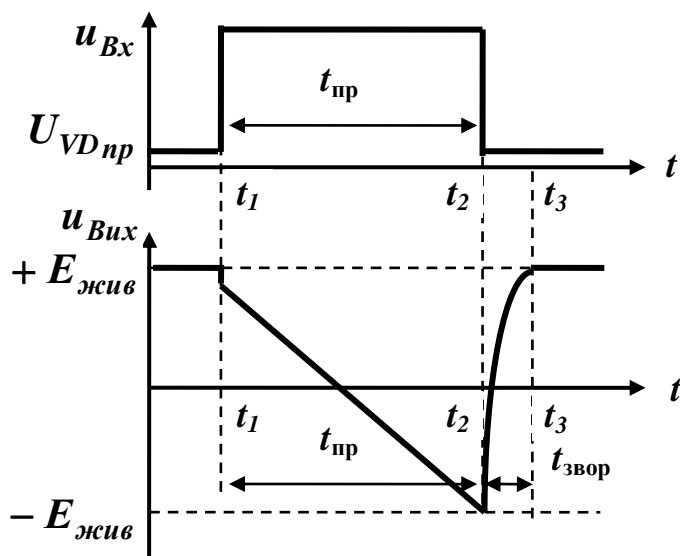


Рис. 88. Часові діаграми роботи ГЛЗН на ОП

Після закінчення керуючого імпульсу ($t = t_2$) діод VD відкривається, інвертуючий вхід шунтується опором відкритого діода VD , вихідна напруга ОП збільшується до значення $+U_{\text{Вихmax}}$, а конденсатор C швидко розряджається через відкритий діод VD . Схема повертається у початковий стан. Час відновлення схеми ГЛЗН:

$$t_{\text{відн}} \approx 5C(r_{VD\text{пр}} + R_{\text{вихОП}}),$$

де $r_{VD\text{пр}}$ – опір відкритого діода VD ;

$R_{\text{вихОП}}$ – вихідний опір ОП.

Рекомендації для підготовки до лабораторного заняття

Лабораторне заняття передбачає наявність твердих знань теорії побудови та функціонування генераторів імпульсів, призначення всіх елементів схеми, їх вплив на характеристики вихідного сигналу. Необхідно знати фізичні принципи що лежать в основі функціонування автоколивальних та загальмованих мультівібраторів, побудованих на різній елементній базі, а також принципи функціонування генераторів напруги, що лінійно змінюється. Для успішного виконання лабораторного заняття також необхідні чіткі уявлення щодо впливу зміни параметрів елементів генератора на параметри його вихідних сигналів.

Питання для самоконтролю:

1. Пояснити основний принцип побудови генераторів.
2. Пояснити шляхи струму заряду та розряду конденсатора в автоколивальному мультівібраторі.
3. Пояснити принцип отримання імпульсних сигналів з різною тривалістю імпульсів та періодом.
4. На чому базується формування імпульсів, що лінійно змінюються?
5. Пояснити роль ключа в генераторі напруги, що лінійно змінюється.

Завдання для опрацювання на лабораторному занятті

Завдання №1

Відповідно до заданого варіанту (табл. 28) побудувати автоколивальний мультівібратор на операційному підсилювачі.

Визначити теоретичним, а потім експериментальним методами частоту вихідних імпульсів. Оцінити похибку розрахунків та вплив величини опору резистору зворотного зв'язку на параметри імпульсів вихідного сигналу.

Завдання № 2

Відповідно з заданим варіантом (табл. 28) побудувати генератор напруги, що лінійно змінюється на операційному підсилювачі.

Таблиця 28

Варіанти до завдань № 1 та № 2

№ варіанту	Завдання №1					Завдання №2			
	C, мкФ	R ₁ , кОм	R ₂ , кОм	R ₃ , кОм	R ₄ , кОм	C, мкФ	R ₁ , кОм	R ₂ , кОм	R ₃ , кОм
1	2	3	4	5	6	7	8	9	10
1	1	0,6	1	10	10	0,9	0,4	5	0,1
2	0,9	0,5	0,5	10	15	0,95	0,5	4	0,1
3	1	1	1	9	10	0,96	0,45	12	0,2
4	0,95	1	0,6	5	8	1	0,5	5	0,1
5	0,9	0,5	1	10	13	0,94	0,4	13	0,2
6	1	0,6	0,5	6	7	0,97	0,5	12	0,3
7	0,96	1	0,5	9	11	0,93	0,45	12	0,2
8	0,91	0,6	0,9	5	10	0,93	0,5	5	0,1
9	0,98	0,7	0,6	10	12	1	0,4	6	0,1
10	0,95	0,5	0,7	9	9	0,93	0,5	12	0,2
11	1	0,7	0,7	5	8	1	0,45	11	0,2
12	0,9	0,8	0,7	8	8	0,95	0,5	6	0,1
13	0,93	0,5	0,7	7	10	0,94	0,4	13	0,3
14	0,96	0,8	0,8	11	10	0,91	0,5	12	0,2
15	0,91	1	0,8	5	10	1	0,45	13	0,2
16	0,99	0,5	1	10	12	0,93	0,5	4	0,1
17	0,95	0,9	0,9	9	9	1	0,4	13	0,2
18	0,92	1	0,9	5	8	0,93	0,5	5	0,1
19	0,97	0,6	1	8	8	1	0,45	12	0,2
20	1	0,5	0,5	7	10	0,97	0,5	6	0,1
21	0,93	1	0,6	11	10	0,92	0,4	13	0,3
22	0,94	0,9	1	10	10	0,9	0,5	3	0,1
23	1	1	1	10	15	0,95	0,45	12	0,2
24	0,94	0,5	0,7	9	10	1	0,5	13	0,3
25	0,92	1	0,5	5	8	0,9	0,4	5	0,1
26	1	1	1	10	13	0,93	0,5	13	0,3

1	2	3	4	5	6	7	8	9	10
27	0,5	0,7	0,8	6	7	0,99	0,45	4	0,1
28	1	0,5	1	9	11	1	0,5	12	0,2
29	0,95	1	0,8	10	10	0,91	0,5	13	0,2
30	0,96	0,9	0,5	8	9	0,95	0,4	5	0,1

Зміст звіту

1. Результати моделювання роботи автоколивального мультівібратора на операційному підсилювачі з результатами теоретичного та експериментального визначення параметрів імпульсів вихідного сигналу.

2. Результати моделювання роботи генератора напруги, що лінійно змінюється, на операційному підсилювачі з результатами теоретичного та експериментального визначення параметрів вихідного сигналу.

3. Висновки, в яких відобразити результати досліджень, а також призначення та вплив елементів схеми на параметри вихідних сигналів.

Контрольні запитання

1. Дати визначення мультівібратора.
2. Пояснити принцип формування імпульсів в релаксаційних генераторах.
3. Пояснити призначення та принцип роботи загальмованого генератора.
4. Пояснити вплив елементів схеми на параметри імпульсів.
5. Дати характеристику автоколивальному мультівібратору.
6. Привести схему автоколивального (загальмованого) мультівібратора на логічних елементах, пояснити принцип їх роботи.
7. Пояснити призначення та принцип роботи генератора напруги, що лінійно змінюється.
8. Розкрити характер впливу елементів схеми генератора напруги, що лінійно змінюється на параметри вихідного сигналу

Довідкові дані

Варіант виконання завдання №1

На рис. 89. приведена функціональна схема та результати

дослідження автоколивального мультівібратора на операційному підсилювачі.

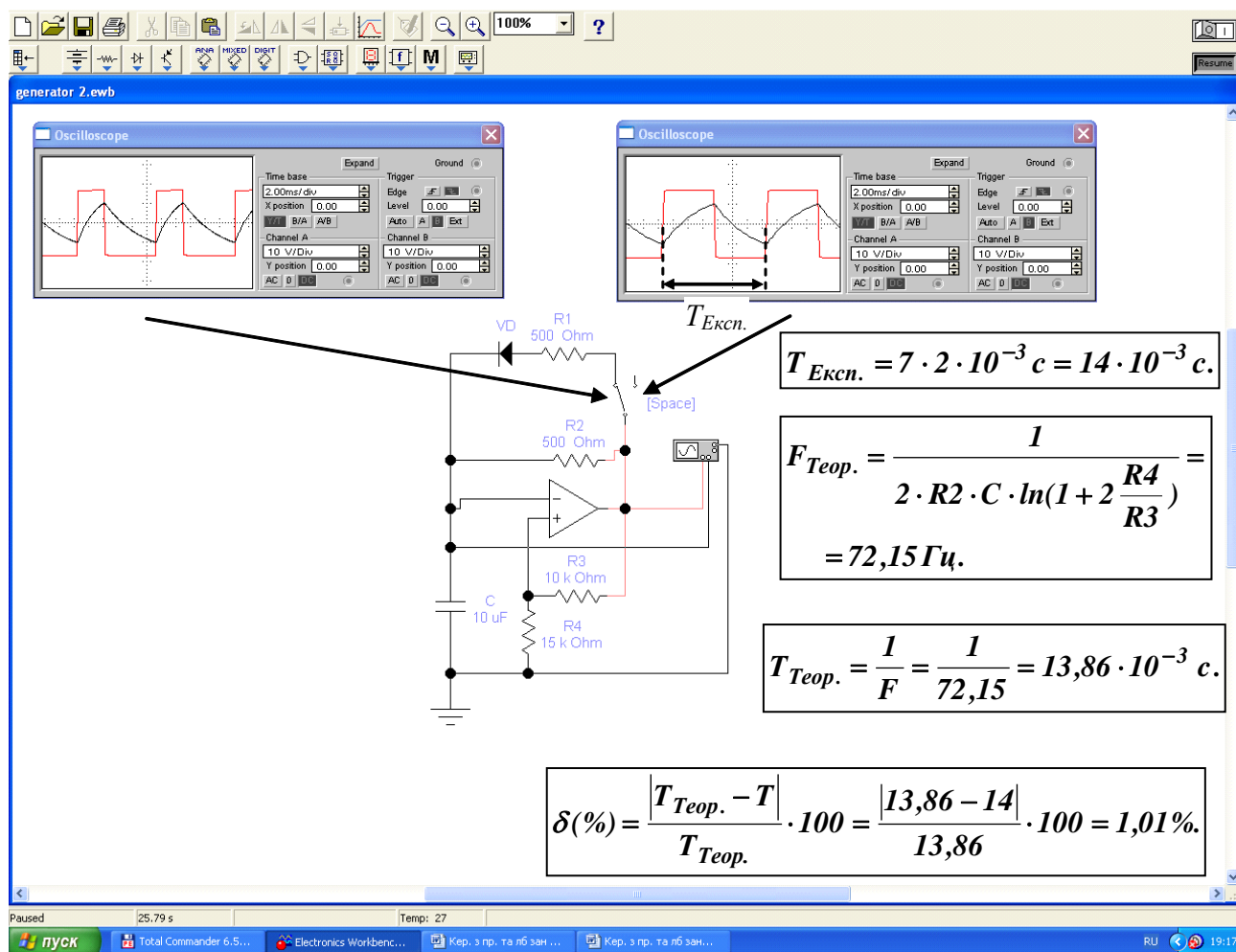


Рис. 89. Варіант виконання завдання № 1

Схема передбачає за допомогою перемикача включення в зворотне коле додаткового резистора для зміни опору зворотного зв'язку, тобто вносяться зміни до параметрів **НЗЗ**. Цей перемикач та діод утворюють різні шляхи для струму заряду та розряду конденсатора, внаслідок чого вихідний сигнал перестає бути меандром, тобто таким, у якого тривалість імпульсу та паузи між ними однакові.

За допомогою двох різних осцилограм, які демонструють форму вихідного сигналу в залежності від стану перемикача в ланцюзі зворотного зв'язку, можна наочно продемонструвати, яким чином параметри вихідного імпульсу залежать від параметрів елементів схеми.

На рисунку приведені результати визначення періоду вихідних імпульсів теоретичним та експериментальним методами, а також

розрахунки похибки визначення.

Варіант виконання завдання №2

На рис. 90 приведена функціональна схема та результати дослідження генератора напруги, що лінійно змінюється

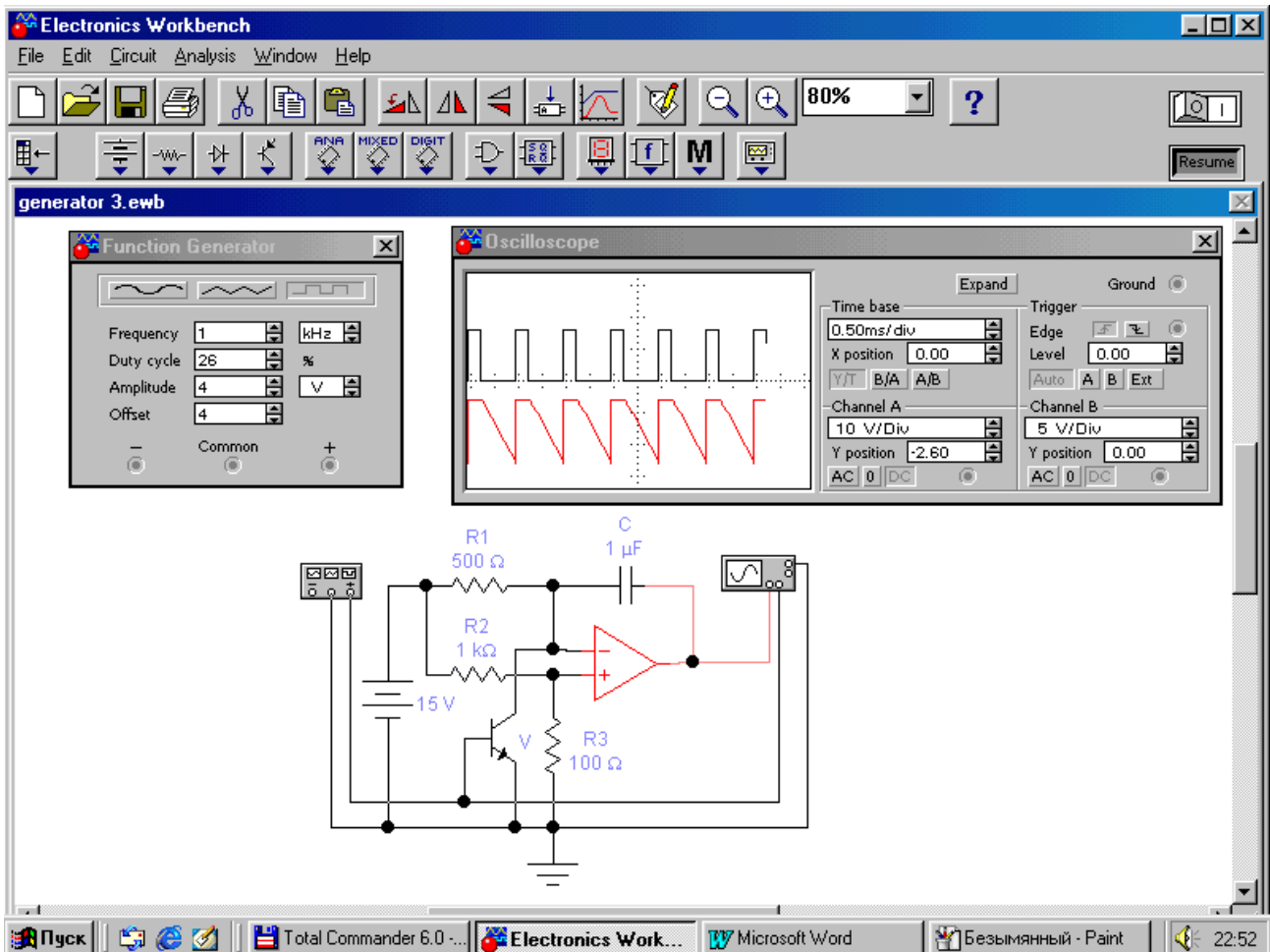


Рис.90. Варіант виконання завдання № 2

Генератор вхідних сигналів та ключ, побудований на базі транзистору **V**, забезпечують запуск генератора. Джерело живлення та резистори **R2** та **R3** забезпечують максимальний рівень амплітуди вихідного сигналу операційного підсилювача при відсутності вхідного імпульсу, тобто операційний підсилювач знаходиться в режимі обмеження. Резистор **R1** сумісно з джерелом живлення забезпечує режим перезаряду конденсатора, іншими словами, процес формування напруги, що лінійно змінюється.

Література: [1-4; 5-7; 12; 13; 15]

Рекомендована література

Основна

1. Ванін В. В. Оформлення конструкторської документації. Навчальний посібник для вищ. закл. освіти / В. В. Ванін, А. В. Блюк, Г. О. Гнітецька.–2-е вид., випр. -К.: Каравела, 2003. –156 с.
2. Бабич М. П. Компьютерная схемотехника: Учебное пособие. – МК-Пресс, 2004. – 412 с.
3. Карлащук В. М. Электронная лаборатория на IBM PC. Лабораторный практикум на базе Electronics Workbench и Matlab, 2004. "Солон – Р". – 732 с.
4. Опадчий Ю. Д. Аналоговая и цифровая электроника: Учебник для вузов.–М.: Радио и связь, 2002. –768 с.

Додаткова

5. Авдеев Н. А., Основы микроэлектроники / Н. А. Авдеев, Ю. Е. Наумов, В. Т. Фролкин. – М.: Радио и связь, 1991. – 324 с.
6. Бабич М. П. Компьютерная схемотехника. Методы построения и проектирования: Учебное пособие, МК-Пресс, 2004. – 576 с.
7. Зельдин Е. А. Импульсные устройства на микросхемах. – М.: Радио и связь, 1991.– 160 с.
8. Ерофеев Ю. Н. Импульсные устройства. Учебное пособ. для вузов по специальности "Радиотехника". – М.: Высшая школа, 1989. –528 с.
9. Соловей О. І. Інженерна графіка: схеми електричні: Навчальний посібник для вищ. закл. освіти / О. І. Соловей, О. С. Хмеленко. – К.: Кондор, 2005.-188 с.
10. Игумнов Д. В., . Основы микроэлектроники / Д. В. Игумнов, Г. В. Королев, И. С. Громов. – М.: Высш. шк., 1991. – 288 с.
11. Кучумов А. М. Электроника и микросхемотехника: Учебное пособие для вузов.–2-е изд., перераб. и доп. – М.:Гелиос АРВ, 2004. – 356 с.

12. Скаржепа В. А. Электроника и микросхемотехника: Учебник / В. А. Скаржепа, А. Н. Луценко. – К: Вища школа, 1989. – 432 с.
13. Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ-Петербург, 2001.–528 с.
14. Федорков Б. Г. Микросхемы ЦАП и АЦП: функционирование, параметры, применение / Б. Г. Федорков, В. А. Телец. – М.: Энергоатомиздат, 1990. – 320 с.
15. Цифровые и аналоговые интегральные микросхемы: Справочник/ Под ред. С. В. Якубовского.– М.: Радио и связь, 1990. – 496 с.
16. Хоровиц П., Хилл У. Искусство схемотехники: в 3-х томах. Пер. с англ. – 4-е изд.- М.: Мир, 1993. – 320 с.

Ресурси мережі Internet

17. Каталог образовательных ресурсов (Федерация Интернет образования) [//www.catalog.alledu.ru/predmet/](http://www.catalog.alledu.ru/predmet/).
18. Архів комп'ютерної документації [//infocity.kiev.ua/](http://infocity.kiev.ua/).

Додатки

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ

Факультет економічної інформатики
Кафедра інформаційних систем

Навчальна дисципліна
"Комп'ютерна схемотехніка"

Звіт з лабораторного заняття

на тему:""
....."

Варіант №

Виконав:
студенткурсу групи
.....(підпис).....прізвище та ін.
"...".....200_р.

Перевірив:
(посада).....(підпис)..... прізвище та ін.
"...".....200_р.

Стислі довідкові дані щодо системи схемотехнічного моделювання **Electronics Workbench**

Electronics Workbench – це, по суті електронна лабораторія на комп'ютері. Система схемотехнічного моделювання **Electronics Workbench** призначена для моделювання та аналізу аналогових, цифрових та цифро-аналогових схем різного ступеня складності.

Бібліотеки компонент, що є в наявності в програмі, вміщують в собі великий набір широко розповсюджених електронних компонентів, до того ж є можливість підключення й утворення нових бібліотек компонентів. Параметри компонентів можна змінювати в широкому діапазоні значень.

Широкий набір вимірювальних приладів дозволяє виконувати заміри різних величин, задавати вхідні впливи, будувати графіки. Результати моделювання можна вивести на принтер або імпортувати в текстовий чи графічний редактор для їхньої подальшої обробки.

Інтерфейс користувача складається із **смуги меню, панелі інструментів та компонентів і робочої області**, які на рис. 91 виділені пунктирними прямокутниками.

Розглянемо призначення кожного з перерахованих компонентів.

Смуга меню складається з наступних компонентів: меню роботи з файлами (**File**), меню редагування (**Edit**), меню роботи з ланцюгами (**Circuit**), меню аналізу схем (**Analysis**), меню роботи з вікнами (**Window**), меню роботи з файлами довідок (**Help**).

Меню File призначено для завантаження та запису файлів, отримання твердої копії вибраних для друку складових частин схеми, а також для імпорту (експорту) файлів в форматах других систем моделювання.

1. Перші чотири команди цього меню: **New** (*Ctrl+ N*), **Open...** (*Ctrl+ O*), **Save** (*Ctrl+ S*), **Save As...** — є типовими для **Windows** командами роботи з файлами и тому пояснень не вимагають.

2. **Revert to Saved...** — видалення всіх змін, що внесені в даному сеансі редагування, и відновлення схеми в початковому вигляді.

3. **Print...** (*CTRL+ P*) — вибір даних для виводу на принтер (за замовченням включена опція друкування схеми).

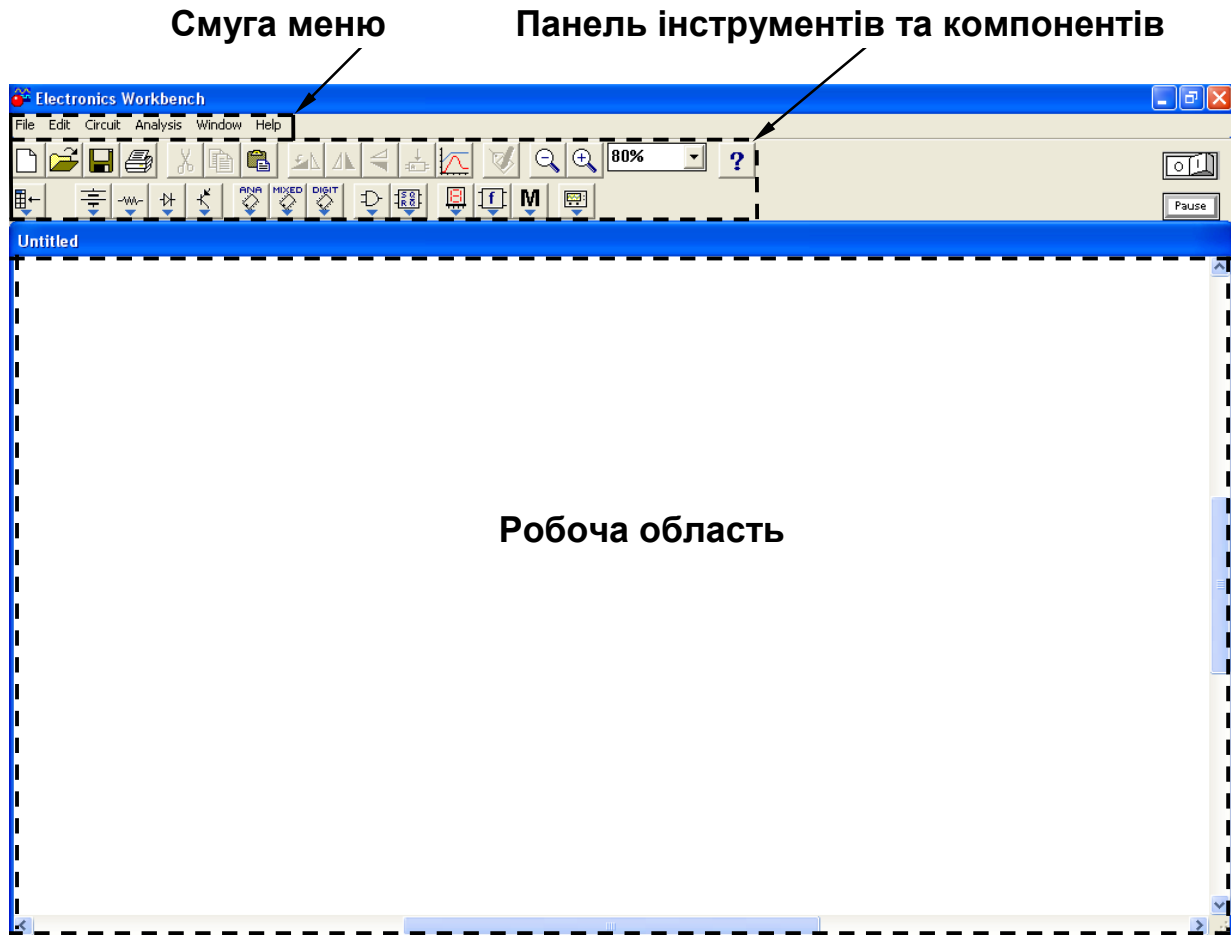


Рис. 91. Вікно програми Electronics Workbench

4. **Print Setup...** — налагоджування принтера.

5. **Exit (ALT+ F4)** — вихід з програми.

6. **Install...** — встановлення додаткових програм с гнучких дисків.

7. **Import from SPICE** та **Export to SPICE** — відпрацювання документів у форматі SPICE.

9. **Export to PCB** — складання списків з'єднань схеми в форматі OrCAD та інших програм розробки друкованих плат.

Меню Edit дозволяє виконувати команди редагування схем і копіювання екрану.

1. **Cut (CTRL+ X)** — стирання (вирізання) виділеної частини схеми зі зберіганням її в буфері обміну. Виділення одного компонента виконується щигликом миші на зображенні компонента. Для виділення частини схеми необхідне одночасне натискання лівої кнопки миші та переміщення її по зображенню схеми.

2. **Copy** (*CTRL+ C*) — копіювання виділеної частини схеми до буферу обміну.

3. **Paste** (*CTRL+ V*) — вставлення змісту буферу обміну на робоче поле програми.

4. **Delete** (*Del*) — стирання виділеної частини схеми.

5. **Select All** (*CTRL+ A*) — виділення всієї схеми.

6. **Copy as Bitmap** — команда, яка перетворює курсор миші в хрестик, яким за правилом прямокутника можна виділити необхідну частину екрану, після відпускання лівої кнопки миші виділена частина копіюється в буфер обміну, після чого його зміст може бути імпортованим в будь-який додаток Windows.

7. **Show Clipboard** — показ змісту буферу обміну.

Меню Circuit використовується при підготовці схем, а також для завдання параметрів моделювання.

1. **Rotate** (*CTRL+ R*) — обертання виділеного компонента.

2. **Flip Horizontal** та **Flip Vertical** — дзеркальне відображення компонента по горизонталі та по вертикалі.

3. **Component Properties** — вибір властивостей компонента.

3.1. **Label...** (*CTRL+ L*) — ввід позиційного позначення виділеного елемента (наприклад, R1 — для резистору, C5 — для конденсатора та ін.);

3.2. **Model...** (*CTRL+ M*) — вибір моделі компонента (напівпровідникового приладу, операційного підсилювача, трансформатора та ін.);

3.3. **Fault** (*CTRL+ F*) — імітація несправності виділеного компонента.

4. **Create Subcircuit...** (*CTRL+ B*) — перетворення попередньо виділеної частини схеми в підсхему.

5. **Zoom In** та **Zoom Out** — команди масштабування схеми.

6. **Schematic Options (Grid, Show/Hide, Fonts Wiring, Printing)** — опції управління зображенням схеми.

Меню Analysis використовується для завдання параметрів та режимів моделювання схеми.

1. **Activate** (*CTRL+ G*) — запуск моделювання.

2. **Pause** (*F9*) — призупинення моделювання.

3. **Stop** (*CTRL+ T*) — зупинення моделювання. Ця та попередня команди можуть бути виконані також натисканням кнопки, що розміщується в правому верхньому куті екрану.

4. **Analysis Options...** (*CTRL+ Y*) — набір команд для встановлення параметрів моделювання.

4.1. **Global** — команди налагоджування загального характеру.

4.2. **DC** — команди налагоджування для розрахунку режиму за постійним струмом (статичний режим).

4.3. **Transient** — налагоджування параметрів режиму аналізу перехідних процесів.

4.2. **Device** — вибір параметрів моделі МДН-транзисторів.

4.4. **Instruments** — налагоджування параметрів контрольно-вимірювальних приладів.

Меню Window вміщує наступні команди:

Arrange (*CTRL+ W*) — упорядкування інформації в робочому вікні **EWB** шляхом перезапису екрану, при цьому виправляються викривлення зображень компонентів і з'єднувальних провідників.

Circuit — вивід схеми на передній план.

Description (*CTRL+ D*) — вивід на передній план опису схеми, якщо вона мається в наявності, або вікно-ярлик для його підготовки (тільки на англійській мові).

Меню Help побудовано стандартним для **Windows** способом. Воно вміщує короткі відомості за всіма розглянутими вище командами, бібліотечним компонентам та вимірювальними приладами, а також відомостями про саму програму.

Панель інструментів та компонентів (рис. 91, рис. 92) складається з "швидких кнопок", що мають аналоги в панелі меню, кнопок запуску і зупинки аналізу, набору зображень – **панель інструментів** (верхній ряд) і відповідних моделей радіоелектронних аналогових і цифрових елементів, індикаторів, елементів керування – **панель компонентів** (нижній ряд).

Панель компонентів складається з піктограм полів компонентів, поле компонентів – з умовних зображень компонентів. Клацанням мишею на одній з одинадцяти піктограм полів компонентів, розташованих на панелі, можна відкрити відповідне поле. Розташування елементів в полях орієнтоване на частоту використання компонента.

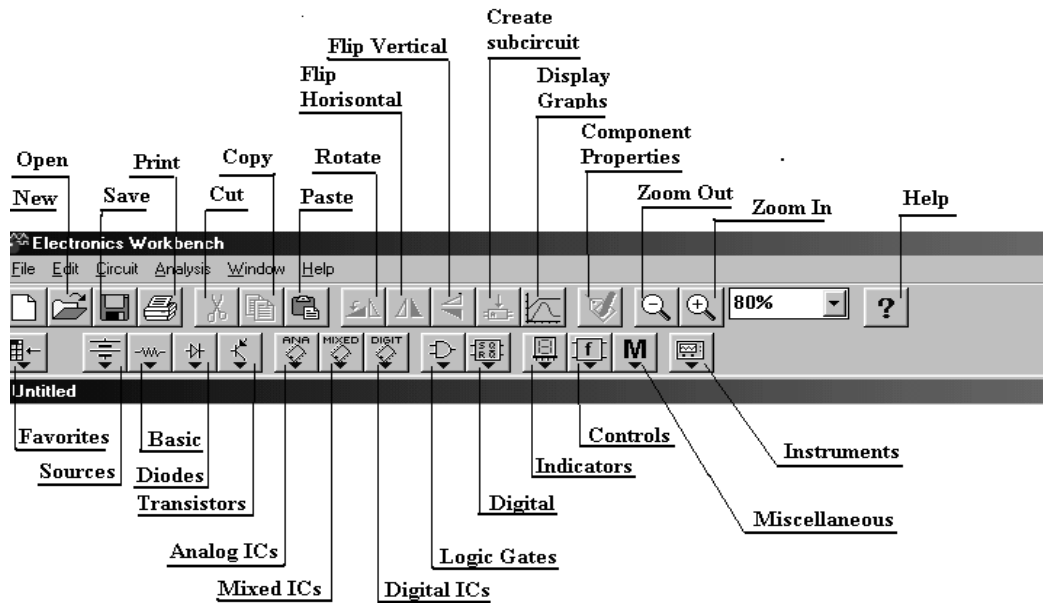


Рис. 92. Панель інструментів та компонентів

На рис. 93 показані всі наявні в **Electronics Workbench** поля компонентів. Ця картинка отримана штучно, насправді при роботі може бути відкрите тільки одне поле компонентів. У бібліотеки елементів програми **Electronics Workbench** входять аналогові, цифрові і цифро-аналогові компоненти. Всі компоненти можна умовно розбити на наступні групи:

- базові компоненти;
- джерела;
- лінійні компоненти;
- ключі;
- нелінійні компоненти;
- індикатори;
- логічні компоненти;
- вузли комбінаційного типу;
- вузли послідовного типу;
- гібридні компоненти.

Оскільки функціональні можливості програмного пакета **Electronics Workbench** набагато ширші ніж необхідно для виконання лабораторного практикуму з дисципліни "Комп'ютерна схемотехніка", то в подальшому будуть розглядатися тільки ті компоненти, які знайшли своє широке розповсюдження під час побудови вузлів комп'ютерної схемотехніки.

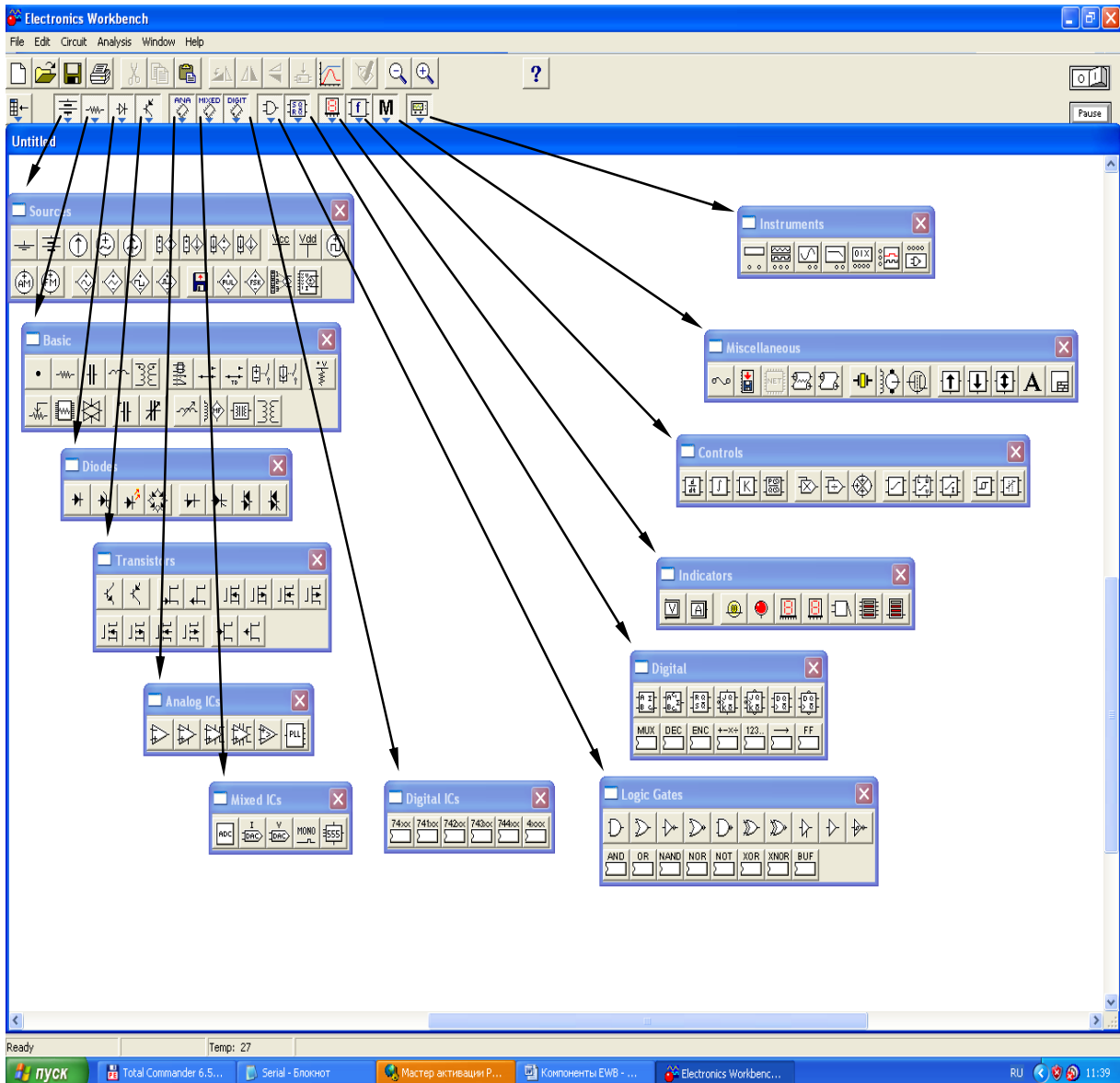


Рис. 93. Повний склад базових компонентів та вимірювальних приладів

Каталог Sources (рис. 94).

Цей каталог містить джерела живлення, генератори різних сигналів та інші елементи. Він, як і будь-який інший каталог, відкривається при натисненні на ліву кнопку миші при співпаданні курсору з кнопкою цього каталогу. Далі необхідний елемент вибирається перетаскуванням його на поле без відпускання кнопки миші. Після відпускання кнопки його положення фіксується на екрані і він змінює свій колір.

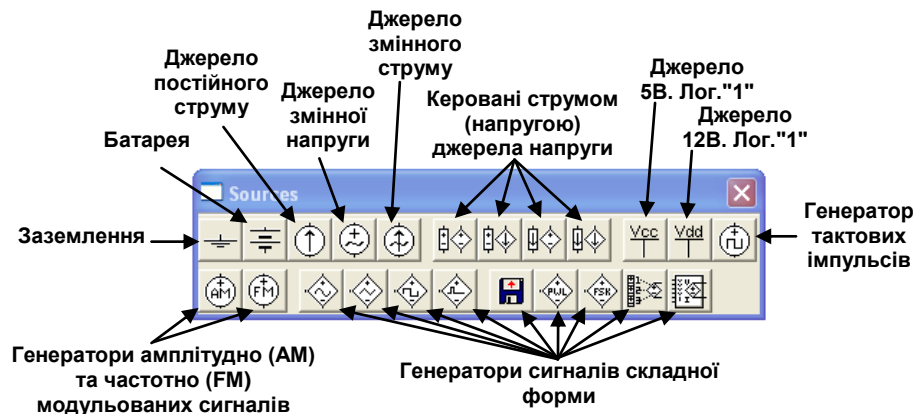


Рис.94. Каталог компонентів Sources

Аналогічним чином можна скористуватися і іншими каталогами для вибору необхідних компонентів для побудови електронної схеми, що має бути досліджена.

Заземлення

Компонент "заземлення" має нульову напругу і таким чином забезпечує початкову точку для відліку потенціалів. Не всі схеми потребують заземлення для моделювання, проте будь-яка схема, що містить операційний підсилювач, трансформатор, кероване джерело, осцилограф повинна бути обов'язково заземлена, інакше прилади не проводитимуть вимірювання або їх свідчення виявляться неправильними.

Батарея

Електродвижуча сила батареї або джерела постійної напруги вимірюється у вольтах і задається похідними величинами (від мкВ до кВ). Короткою жирною межею в зображенні батареї позначається вивід, що має негативний потенціал по відношенню до іншого виводу.

Джерело постійного струму

Усі джерела в **Electronics Workbench** ідеальні. Ідеальне джерело струму має нескінченно великий внутрішній опір, тому його струм не залежить від опору навантаження. Внутрішній опір ідеального джерела напруги рівний нулю, тому його вихідна напруга не залежить від навантаження. Струм джерела постійного струму (direct current) вимірюється в амперах і задається похідними величинами (від мкА до кА). Стрілка указує напрям струму (від "+" до "-").

Джерело напруги 5В (12В)

Використовуючи це джерело напруги, можна встановлювати фіксований потенціал вузла 5 В (12 В) або рівень логічної одиниці у вузлі схеми.

Генератор тактових імпульсів

Генератор виробляє послідовність прямокутних імпульсів. Можна регулювати амплітуду імпульсів, коефіцієнт заповнення і частоту проходження імпульсів. Відлік амплітуди імпульсів генератора проводиться від виводу, протилежного виводу "+".

Каталог Basic (рис.95)

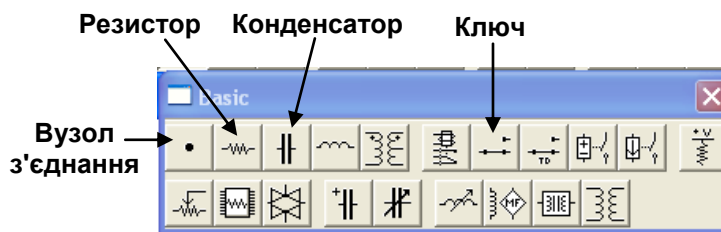


Рис. 95. Каталог компонентів Basic

Вузол з'єднання

Вузол застосовується для з'єднання провідників і створення контрольних крапок. До кожного вузла може під'єднуватися не більше чотирьох провідників. Після того, як схема зібрана, можна вставити додаткові вузли для підключення приладів.

Резистор

Опір резистора вимірюється в омах і задається похідними величинами (від Ом до мОм).

Конденсатор

Ємкість конденсатора вимірюється у фарадах і задається похідними величинами (від пФ до Ф).

Ключ

Ключ має два стани: вимкнений (розімкнений) і включений (замкнений). У вимкненому стані він є нескінченно великим опором, у включеному – його опір рівний нулю. Ключі можуть управлятися клавішею, таймером, напругою або струмом.

Оскільки замкнуті ключі в **Electronics Workbench** мають опір рівний нулю, то при паралельному з'єднанні з іншим ключем або батареєю рекомендується послідовно ввести в ланцюг резистор з опором 1 Ом.

Ключі можуть бути замкнуті або розімкнені за допомогою клавіш, що управляють, на клавіатурі. Ім'я клавіші, яка управляє, можна ввести з клавіатури в діалоговому вікні, котре з'являється після подвійного клацання мишею на зображенні ключа.

Наприклад, якщо необхідно, щоб стан ключа змінювався клавішею 'пропуск' [Space], то слід ввести текст "Space" в діалогове вікно і натиснути ОК.

Каталог Diode

Діод

Струм через діод може протікати тільки в одному напрямі - від анода **A** до катода **K**. Стан діода (провідний або непровідний) визначається полярністю прикладеної до діода напруги.

Каталог Transistors

Біполярні транзистори

Біполярні транзистори є підсилювальними пристроями, керованими струмом. Вони бувають двох типів: **p-n-p** і **n-p-n**. Букви означають тип провідності напівпровідникового матеріалу, з якого виготовлений транзистор. У транзисторах обох типів стрілкою наголошується емітер, напрям стрілки указує напрям протікання струму.

Польові транзистори

Польові транзистори управляються напругою на затворі, тобто струм, що протікає через транзистор, залежить від напруги на затворі. Польовий транзистор включає протяжну область напівпровідника **n**-типа або **p**-типа, звану каналом. Канал закінчується двома електродами, які називаються виток і сток. Окрім каналу **n**- чи **p**-типу, польовий транзистор включає область з протилежним каналу типом провідності. Електрод, сполучений з цією областю, називають затвором.

Каталог Analog Ics

Операційний підсилювач

Операційний підсилювач (ОП) – підсилювач, призначений для роботи зі зворотним зв'язком. Він зазвичай має дуже високий коефіцієнт посилення по напрузі, високий вхідний і низький вихідний опір. Вхід "+" є таким, що не інвертує, а вхід "-" – що інвертує. Модель операційного підсилювача дозволяє задавати параметри: коефіцієнт посилення, напруга зсуву, вхідні струми, вхідний і вихідний опори. Вхідні і вихідні сигнали ОП повинні бути задані щодо землі.

Каталог Mixed ICs (рис. 96)

Аналого-цифровий перетворювач

Аналого-цифровий перетворювач (АЦП) проводить перетворення аналогової напруги в число. Представлений АЦП переводить аналогову напругу U_{Bx} на вході до 8-розрядного двійкового числа N_{Bux} за формулою:

$$N_{Bux} = \left[\frac{U_{Bx}}{U} \right] \cdot 256,$$

де $[]$ – ціла частина, $U = U_{on+} - U_{on-}$ – різниця напруги на опорних входах

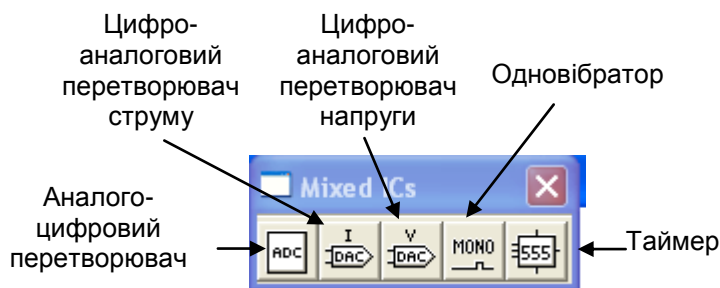


Рис. 96. Каталог компонентів Mixed ICs

Цифро-аналоговий перетворювач

Цифро-аналоговий перетворювач (ЦАП) здійснює перетворення цифрового сигналу в аналоговий. Описуваний ЦАП має 8 цифрових входів і 2 входи (1+1 і 1-1) для подачі опорного струму I_{on} . ЦАП формує на

виході струм I_{Bux} , який пропорційний вхідному числу N_{Bx} – вихідний струм визначається за формулою :

$$I_{Bux} = \left(\frac{N_{Bx}}{256} \right) \cdot I_{on+}$$

де I_{on} – опорний струм, що визначається послідовно підключеними до входу U_{on+} або U_{on-} – джерелом напруги U_{on} і опором R :

$$I_{on} = \frac{U_{on}}{R} \cdot \frac{255}{256},$$

У **Electronics Workbench** також є **ЦАП**, який здійснює перетворення цифрового сигналу в напругу на виході. Вихідна напруга визначається за формулою:

$$U_{Bux} = \left(\frac{N_{Bx}}{256} \right) \cdot U_{on},$$

де U_{on} – опорна напруга.

Одновібратор

Одновібратор виробляє імпульс фіксованої тривалості у відповідь на перепад, що управляє, на його вході. Довжина вихідного імпульсу визначається зовнішнім часозадаючим **RC**-колом.

Таймер

Таймер – елемент, що має цифровий вхід і вихід. Він характеризується часом затримки. Зміна стану на його виході відбувається через час, визначуваний часом затримки. 555 таймер – інтегральна схема, що найчастіше вживається як мультівібратор, одновібратор або керований напругою генератор. Стан виходу таймера змінюється через час, який

визначається зовнішнім часозадаючим **RC**-колом. Принципово 555 таймер складається з двох компараторів, дільника напруги, тригера і розряджаючого транзистора.

Каталог Digital ICs/

Приведений перелік цифрових інтегральних мікросхем які упорядкований за номером серії.

Каталог Logic Gates (рис. 97)

Electronics Workbench містить повний набір логічних елементів і дозволяє задавати їх основні характеристики. Число входів логічних елементів схем можна встановити в межах від 2 до 8, але вихід елемента може бути тільки один.

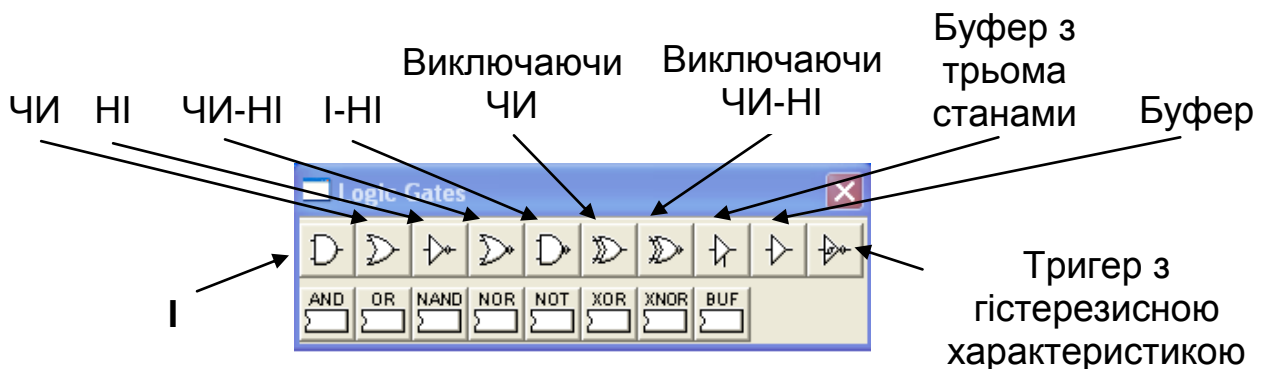


Рис. 97. Каталог Logic Gates

Елемент І

Елемент **І** реалізує функцію логічного множення. Рівень логічною **1** на його виході з'являється у разі, коли на один і на другий вхід подається рівень логічної одиниці

Елемент ЧИ

Елемент **ЧИ** реалізує функцію логічного складання. Рівень логічною **1** на його виході з'являється у разі, коли на один або на інший вхід подається рівень логічної одиниці.

Елемент НІ

Елемент логічне **НІ** або інвертор змінює стан вхідного сигналу на протилежне. Рівень логічною **1** з'являється на його виході, коли на вході не **1**, і навпаки.

Елемент ЧИ-НІ

Елемент **ЧИ-НЕ** реалізує функцію логічного складання з подальшою інверсією результату. Він представляється моделлю з послідовно включених елементів **ЧИ** і **НІ**.

Елемент І-НІ

Елемент **І-НІ** реалізує функцію логічного множення з подальшою інверсією результату. Він представляється моделлю з послідовно включених елементів **І** і **НІ**.

Елемент "Виключаючи ЧИ"

Двійкове число на виході елемента виключає **ЧИ** є молодшим розрядом суми двійкових чисел на його входах.

Елемент "Виключаючи ЧИ-НІ"

Даний елемент реалізує функцію **"Виключаючи ЧИ"** з подальшою інверсією результату. Логіку роботи цього елемента можна представити наступною таблицею істинності (табл. 29).

Таблиця 29

**Логіка роботи елемента
"Виключаючи ЧИ"**

Вхід А	Вхід В	Вихід Y
0	0	1
0	1	0
1	0	0
1	1	1

Елемент "Буфер"

Буфер служить для подачі великих струмів в навантаження. Даний буфер є таким, що не інвертує.

Установку типу буфера можна провести за допомогою команди **Model** в меню **Circuit** (CTRL+ M). При використанні ТТЛ елемента як буфер необхідно вибрати модель буфера **LS-BUF** або **LS-OC-BUF** (**Open Collector** – відкритий колектор). Якщо як буфер застосовується КМОП елемент, слід вибрати модель **HC-BUF**, або **HC-OD-BUF** (**Open Drain** – відкритий стік). Якщо тип буфера не вибраний, то буфер поводить себе як звичайний цифровий елемент з малою здатністю навантаження.

Елемент "Буфер з трьома станами"

Буфер з трьома станами має додатковий дозволяючий вхід (**enable input**). Якщо на дозволяючому вході високий потенціал, то елемент функціонує за таблицею істинності звичайного буфера, якщо низький, то незалежно від сигналу на вході вихід перейде в стан з високим імпедансом (опором). У цьому стані буфер не пропускає сигнали, що поступають на вхід.

Елемент "Schmitt Triggered Inverter"

Функціонування даного елемента ґрунтується на ефекті роботи тригера, моменти переключення станів якого, визначаються гістерезисними властивостями елемента.

Каталог Digital (рис. 98)

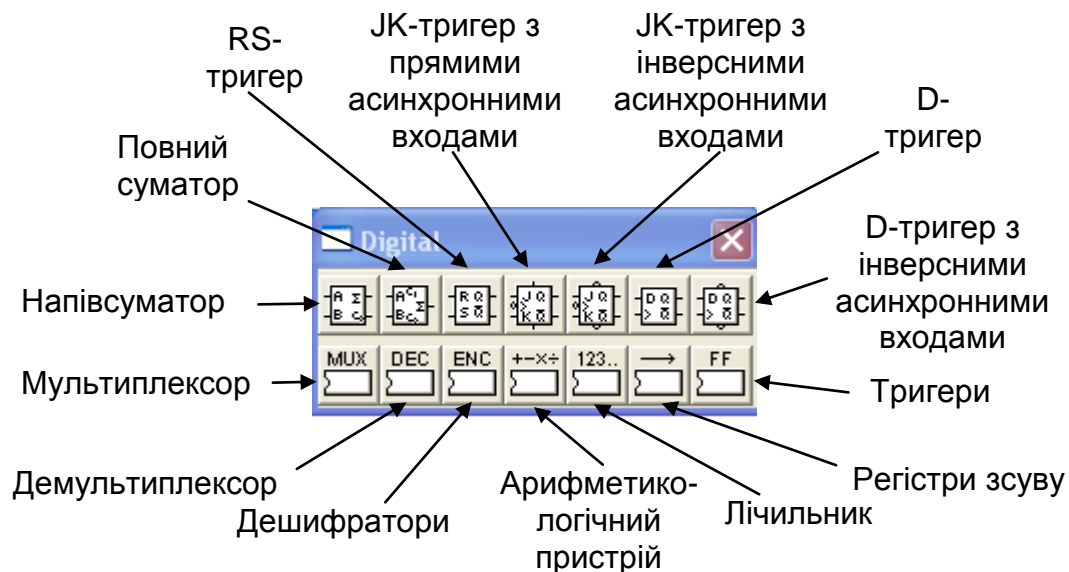


Рис. 98. Каталог Digital

Елемент "Напівсуматор"

Напівсуматор проводить складання двох однорозрядних двійкових чисел (табл. 29). Він має два входи доданків: **A**, **B** і два виходи: суми (**Sum**) і перенесення (**Carry**). Підсумовування проводиться елементом "Виключаючи ЧИ", а перенесення - елементом І.

Таблиця 30

Умови функціонування напівсуматора

Входи		Сума (Sum)	Переніс (Carry)	Примітки
A	B			
0	0	0	0	0+0=0
0	1	1	0	0+1=1
1	0	1	0	1+0=1
1	1	0	1	1+1=0 (перенос=1)

Елемент "Повний суматор"

Повний двійковий суматор проводить складання трьох однорозрядних двійкових чисел. Результатом є дворозрядне двійкове число, молодший розряд якого названий сумою, старший розряд – перенесенням

(табл. 31). Пристрій має три входи і два виходи. Входи: доданків - **A**, **B** і перенесення – **Carry in**. Виходи: суми - **Sum** і перенесення – **Carry out**. Повний двійковий суматор можна реалізувати на двох півсуматорах і одному елементу **ЧИ**.

Таблиця 31

Умови функціонування суматора

Входи			Сума (Sum)	Переніс (Carry)
A _i	B _i	Переніс P _{i-1}		
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Елемент "RS-тригер"

Тригер - простий послідовний елемент з двома станами, що містить елементарну комірку, що запам'ятовує, і схему управління, яка змінює стан елементарної комірки. Стан тригера залежить як від комбінації на входах, так і від попереднього стану. Тригерні пристрої лежать в основі комп'ютерної оперативної пам'яті і використовуються в безлічі послідовних схем. Тригер можна створити з простих логічних елементів.

RS-тригер має тільки **2** входи: **S** (**set** – встановлення) – установка виходу **Q** в **1** і **R** (**reset** – скидання) – скидання виходу **Q** в **0**. Для цього тригера є неприпустимою одночасна подача команд установки і скидання (**R = S = 1**), тому стан виходу в цьому випадку залишається невизначеним і, взагалі кажучи, не описується (табл. 32).

Таблиця 32
Умови функціонування
RS-тригера

Входи		Виходи	
Встановлення S_i	Скидання R_i	Q_i	\overline{Q}_i
0	0		
0	1	0	1
1	0	1	0
1	1	X	X

Елемент "JK-тригер з прямими асинхронними входами"

Відмітною особливістю **JK-тригера** є наявність двох інформаційних входів: **J** і **K**. Ці входи визначають зміну стану тригера за негативним перепадом (спадом) імпульсу на лічильному вході. Входи встановлення працюють як і у **RS-тригера**. Даний **JK-тригер** встановлюється одиницями, при подачі на входи встановлення двох одиниць одночасно виходи тригера встановлюються в **1** (табл. 33).

Таблиця 33

Умови функціонування JK-тригера з прямими асинхронними входами

Входи					Вихід	
Встановлення (Preset)	Скидання (Clear)	J	K	Лічба	Q_i	\overline{Q}_i
1	1	X	X	X	1	1
1	0	X	X	X	1	0
0	1	X	X	X	0	1
0	0	0	0	0	Q_{i-1}	\overline{Q}_{i-1}
0	0	0	1	↓	0	1
0	0	1	0	↓	1	0
0	0	1	1	↓	\overline{Q}_{i-1}	Q_{i-1}

Примітки:

стрілка вниз (↓)- негативний перепад тактового імпульсу;

"x" - невизначений стан.

Елемент "JK-тригер з інверсними асинхронними входами"

Цей елемент подібний до JK-триггеру, описаного вище, за винятком того, що встановлення тригера проводиться логічним 0. Умови функціонування JK-триггера наведено в табл. 34.

Таблиця 34

Умови функціонування JK-триггера з інверсними асинхронними входами

Входи					Вихід	
Встановлення (Preset)	Скидання (Clear)	J	K	Лічба	Q_i	$\overline{Q_i}$
0	0	X	X	X	1	1
1	0	X	X	X	0	1
0	1	X	X	X	1	0
1	1	0	0	0	Q_{i-1}	$\overline{Q_{i-1}}$
1	1	0	1	↓	0	1
1	1	1	0	↓	1	0
1	1	1	1	↓	$\overline{Q_{i-1}}$	Q_{i-1}

Примітки:

стрілка вниз (↓)- негативний перепад тактового імпульсу;
"x" - невизначений стан.

Елемент "D-тригер"

Інформація з входу D заноситься в тригер за позитивним перепадом тактового імпульсу і зберігається до наступного позитивного перепаду на лічильному вході (табл. 35)

Таблиця 35

Логіка роботи D-триггера

Входи		Вихід
Даних D	Лічби (Clock)	Q
0	↑	0
1	↑	1

Елемент "D-тригер з інверсними асинхронними входами"

Цей тригер подібний до D-триггеру, описаного вище, за винятком того, що у нього є два настановні входи: установка (**Preset**) і скидання (**Clear**), що працюють як у RS-тригера (табл. 36).

Таблиця 36

**Логіка роботи D-тригера
з інверсними асинхронними входами**

Входи				Виходи	
Встановлення (Preset)	Скидання (Clear)	Даних (D)	Лічби (Clock)	Q_i	$\overline{Q_i}$
0	0	X	X	1	1
0	1	X	X	1	0
1	0	X	X	0	1
1	1	0	0	Q_{i-1}	$\overline{Q_{i-1}}$
1	1	1	↑	1	0
1	1	0	↑	0	1

Примітки:

стрілка вгору (↑) - позитивний перепад тактового імпульсу (імпульсу лічби);

"X" - невизначений стан тригера;

" Q_{i-1} " - зберігається попередній стан тригера.

Бібліотека тригерів

Наведені приклади різноманітних тригерів серій 40XX, 74XX та 74XXX.

Бібліотека регістрів зсуву

Послідовний регістр зсуву – це елемент, вміст виходів якого при подачі тактового імпульсу може бути зсуваним у бік молодших або старших розрядів. Він складається з декількох взаємозв'язаних тригерів. Типовим представником регістрів зсуву є чотирьохрозрядний регістр зсуву. Цей регістр здатний обробляти дані в одному з наступних режимів: послідовне і паралельне введення і виведення даних, зсув вліво, зсув вправо. З приходом кожного тактового імпульсу на вхід регістра викону-

ється операція над даними, яка визначена станом управляючих входів **S0** і **S1**:

S0 = S1 = 0 – зберігання даних;

S0 = 0, S1 = 1 – зсув даних вправо;

S0 = 1, S1 = 0 – зсув даних вліво;

S0 = 1, S1 = 1 – завантаження паралельного коду.

Умови роботи чотирьох розрядного регістру зсуву представлені в таблиці встановлення режимів (табл. 37).

Таблиця 37

Таблиця встановлення режимів

Входи										Виходи даних			
Скидання	Режим		Послідовні			Паралельні							
Clear	SI	S0	Лічби (Clock)	Вліво (Left)	Вправо (Right)	A	B	C	D	QA	QB	QC	QD
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	X	X	0	X	X	X	X	X	X	QA0	QB0	QC0	QD0
1	1	1	↑	X	X	a	b	c	d	a	b	c	d
1	0	1	↑	X	1	X	X	X	X	1	QAN	QBN	QCN
1	0	1	↑	X	0	X	X	X	X	0	QAN	QBN	QCN
1	1	0	↑	1	X	X	X	X	X	QBN	QCN	QDN	1
1	1	0	↑	0	X	X	X	X	X	QBN	QCN	QDN	0
1	0	0	↑	X	X	X	X	X	X	QA0	QB0	QC0	QD0

Примітки:

стрілка вгору (↑) - позитивний перепад тактового імпульсу (імпульсу лічби);

a, b, c, d – значення сигналу на входах **A, B, C** або **D** відповідно;

QA0, QB0, QC0, QD0 - поточний стан відповідних виходів;

QAN, QBN, QCN, QDN - попередній стан відповідних виходів.

Якщо на вхід скидання (**Clear**) подати логічний **0**, то на всіх виходах встановиться рівень логічного **0**.

Бібліотека лічильників

Лічильник – елемент, що здійснює лічбу імпульсів, який подаються на його вхід. Двійкове число, що представляється станом його виходів, за фронтом (або за спадом) імпульсів на вході лічби лічильника збільшується на одиницю. Після досягнення максимального стану для лічильника відбувається встановлення нульового стану лічильника та поновлення процесу лічби імпульсів (табл. 38).

Таблиця 38

Умови функціонування лічильника

Стан №	Вхід лічби	Виходи			
		D	C	B	A
0	Л	0	0	0	0
1	Л	0	0	0	1
2	Л	0	0	1	0
3	Л	0	0	1	1
4	Л	0	1	0	0
5	Л	0	1	0	1
6	Л	0	1	1	0
7	Л	0	1	1	1
8	Л	1	0	0	0
9	Л	1	0	0	1
10	Л	1	0	1	0
11	Л	1	0	1	1
12	Л	1	1	0	0
13	Л	1	1	0	1
14	Л	1	1	1	0
15	Л	1	1	1	1

Крім бінарних лічильників, тобто таких, що здійснюють лічбу імпульсів до максимального значення, яке кратне цілій ступені числа **2**, існують також декадні лічильники, які здатні проводити лічбу імпульсів з кратністю **10**.

У деяких лічильниках напрямок лічби може здійснюватися як в сторону збільшення стану лічильника з приходом кожного нового імпульсу

(лічильники, що підсумовують) або в сторону зменшення (лічильники, що віднімають). Крім того деякі лічильники мають можливість здійснювати запис паралельного цифрового коду або встановлювати лічильник в початковий стан.

Бібліотека арифметико-логічних пристроїв

Приводиться приклад арифметико-логічного пристрою, який здатний проводити 16 логічних та 32 арифметико-логічних операцій над чотирьохрозрядними двійковими числами.

Бібліотека шифраторів та дешифраторів

Дешифратор — це логічний пристрій, що має n входів і 2^n виходів. Кожній комбінації вхідного коду відповідає активний рівень на одному з 2^n виходів. В якості прикладу розглянемо один з трьох входових дешифраторів. Такий дешифратор має три інформаційних входи (**A**, **B**, **C**), два входи управління (дозволяючих) (**G1**, **G2**) і 8 виходів (**Y0... Y7**). Номер виходу, що має активний стан, рівний числу **N**, визначається станом інформаційних входів:

$$N = 2^2 C + 2^1 B + 2^0 A.$$

Активним рівнем є рівень логічного нуля. Дешифратор працює, якщо на вході **G1** високий потенціал, а на **G2** - низький. У інших випадках всі виходи пасивні, тобто мають рівень логічної 1.

Умови роботи трьохвходового дешифратора представлені в таблиці функціонування дешифратора (табл. 39).

Шифратор, виконує операцію, зворотну дешифратору. Строго кажучи, тільки один із входів шифратора повинен мати активний рівень. Деякі дешифратори за наявності на декількох входах активного стану активним вважає вхід із старшим номером. Часто вихід дешифратора може бути інверсним, тобто значення розрядів двійкового числа на виході інвертовані. Умови роботи одного з восьмивходових шифраторів представлені в таблиці функціонування шифратора (табл. 40).

Таблиця функціонування трьохвходового дешифратора

Входи управління (дозволу)		Інформаційні входи			Виходи							
G1	G2	A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	1	X	X	X	1	1	1	1	1	1	1	1
0	0	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

Таблиця 40

Таблиця функціонування восьмивходового шифратора

EI	DO	D1	D2	D3	D4	D5	D6	D7	A2	A1	AT	GS	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Якщо хоч би один з входів шифратора в активному стані, вихід **GS** також буде в активному стані, а вихід **EO** - в пасивному і навпаки. При

пасивному стані входу управління **E1** виходи **GS** також будуть пасивними. Активним рівнем (так само, як і у дешифратора) є рівень логічного нуля.

Бібліотека мультиплексорів

Таблиця 41
Умови функціонування
мультиплексору

Входи				Виходи	
C	B	A	EN	Y	W
X	X	X	1	0	1
0	0	0	0	D0	D0'
0	0	1	0	D1	D1'
0	1	0	0	D2	D2'
0	1	1	0	D3	D3'
1	0	0	0	D4	D4'
1	0	1	0	D5	D5'
1	1	0	0	D6	D6'
1	1	1	0	D7	D7'

Мультиплексор (комутатор сигналів) здійснює операцію передачі сигналу з одного з вибраних інформаційних входів на єдиний вихід. Номер інформаційного входу рівняється адресі - двійкового числа, яке визначається станом адресних входів. Один з типових мультиплексорів на вісім інформаційних входів даних (**D0 - D7**) крім них має три адресних входи (**A, B, C**) і один вхід управління (**EN**). Мультиплексор працює при подачі на вхід управління (дозволу) логічного **0**. Вихід **W** є доповненням виходу **Y**. (**W = Y'**) (табл. 41). Номер інформаційного входу **N**, що з'єднується в даний момент з виходом мультиплексора, визначається станом його

адресних входів:

$$N = 2^2 C + 2^1 B + 2^0 A.$$

Бібліотека демультиплексорів

Демультиплексор виконує операцію, зворотну мультиплексору. Він має тільки один інформаційний вхід і передає дані з цього входу на той вихід, двійковий код адреси якого поступає в цей момент на адресні входи демультиплексора. Один із типових демультиплексорів на вісім інформаційних виходів має як, правило, **4** входи (входи адреси: **A, B, C** та вхід даних – **G**), а також **8** інформаційних виходів (**D0 – D7**) (табл. 41). Номер виходу **N**, що з'єднується в даний момент з інформаційним входом демультиплексора, визначається станом його адресних входів:

$N = 2^2 C + 2^1 B + 2^0 A$. Якщо на інформаційному вході **G** присутня логічна 1, то на всіх виходах - також логічна 1.

Умови функціонування демультиплексору

Входи				Виходи							
G	C	B	A	D0	D1	D2	D3	D4	D5	D6	D7
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0
1	X	X	X	1	1	1	1	1	1	1	1

Каталог **Indicators** (рис. 99).

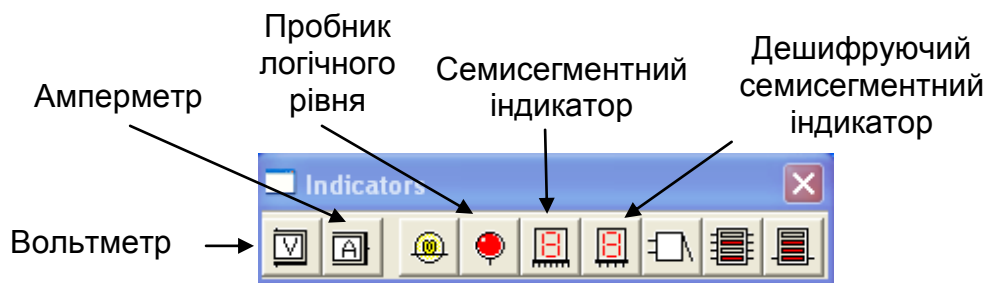


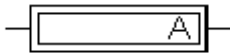
Рис. 99. Каталог Indicators

Вольтметр (рис. 100)

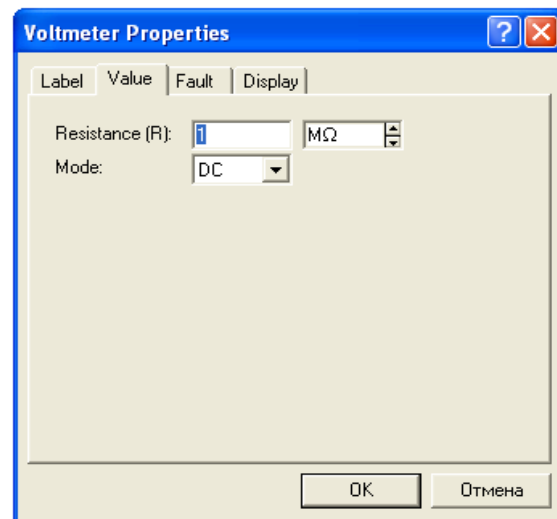
Простим приладом в **Electronics Workbench** є вольтметр. Він не вимагає налагоджування, автоматично змінюючи діапазон вимірювань. В одній схемі можна застосовувати декілька таких приладів одночасно, спостерігаючи напругу на різних елементах.



а)



б)



в)

Рис. 100. Умовне графічне зображення вольтметра (а), амперметра (б), та їх діалогового вікна (в)

Вольтметр використовується для вимірювання змінної і постійної напруги. Виділена товстою лінією сторона прямокутника, що зображає вольтметр, відповідає негативній клемі (рис. 100, а). Подвійним клацанням миші на зображенні вольтметра відкривається діалогове вікно для зміни параметрів вольтметра:

- виду вимірюваної напруги;
- величини внутрішнього опору.

Діалогове вікно приведене на рис. 100-в.

Величина внутрішнього опору вводиться з клавіатури в рядку **Resistance**, вид вимірюваної напруги (опція **Mode**) вибирається із списку. При вимірюванні змінної синусоїдальної напруги (**AC**) вольтметр показуватиме діюче значення напруги U_{δ} , яке визначається за формулою:

$$U_{\delta} = \frac{U_m}{\sqrt{2}},$$

де U_m – амплітудне значення напруги. Внутрішній опір вольтметра **1МОм**, встановлене за умовчанням, в більшості випадків оказує малий вплив на роботу схеми. Його значення можна змінити, проте використання вольтметра з дуже високим внутрішнім опором в схемах з низьким вихідним імпедансом може привести до математичної помилки під час моделювання роботи схеми.

Амперметр

Амперметр використовується для вимірювання змінного і постійного струму. Виділена товстою лінією сторона прямокутника, що зображає амперметр, відповідає негативній клемі (рис.100-б). Подвійним клацанням миші на зображенні амперметра відкривається діалогове вікно для зміни параметрів амперметра:

виду вимірюваного струму;
величини внутрішнього опору.

Діалогове вікно амперметра не відрізняється від діалогового вікна вольтметра і приведене на рис. 100-в.

При вимірюванні змінного синусоїдального струму (**АС**) амперметр показуватиме діюче значення струму I_{ρ} , яке визначається за формулою:

$$I_{\rho} = \frac{I_m}{\sqrt{2}},$$

де I_m - амплітуда змінного струму. Внутрішній опір вольтметра 1д, що діє.

Внутрішній опір амперметра 1 мОм (міліОм), що встановлюється за умовчанням, в більшості випадків має малий вплив на роботу схеми. Можна понизити цей опір, проте використання амперметра з дуже низьким опором в схемах з високим вихідним імпедансом (щодо виводів амперметра) може привести до математичної помилки під час моделювання роботи схеми.

Пробник логічного рівня

Пробник визначає логічний рівень (**0** або **1**) в конкретній точці схеми. Якщо досліджуване місце схеми має рівень логічної **1**, індикатор спалахує червоним кольором. Рівень логічного нуля свіченням пробника не відмічається. За допомогою команди **Value** в меню **Circuit** можна змінити колір свічення пробника.

Семисегментний індикатор

Кожен з семи виводів індикатора управляє відповідним сегментом, від **a** до **g** (рис. 101).



Рис. 101. Семисегментний індикатор

У таблиці функціонування індикатора (табл. 43) приведені комбінації логічних рівнів, які потрібно встановити на вході індикатора, щоб на його дисплеї отримати зображення символів в шістнадцятковому коді від **0** до **F**.

Таблиця 43

Умови функціонування семисегментного індикатора

a	b	c	d	e	f	g	Символ	a	b	c	d	e	f	g	Символ
0	0	0	0	0	0	0	-	1	1	1	0	0	0	0	7
1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	8
0	1	1	0	0	0	0	1	1	1	1	1	0	1	1	9
1	1	0	1	1	0	1	2	1	1	1	0	1	1	1	A
1	1	1	1	0	0	1	3	0	0	1	1	1	1	1	b
0	1	1	0	0	1	1	4	1	0	0	1	1	1	0	C
1	0	1	1	0	1	1	5	0	1	1	1	1	0	1	d
1	0	1	1	1	1	1	6	1	0	0	1	1	1	1	E

Дешифруючий семисегментний індикатор

Дешифруючий семисегментний індикатор служить для відображення на своєму дисплеї шістнадцятиричних символів від **0** до **F**, що задаються станом на вході індикатора (табл. 44).

Даний індикатор має 4 входи, сигнал з яких подається на вбудований в індикатор спеціалізований дешифратор двійкового позиційного коду в код управління семисегментним індикатором.

Умови функціонування дешифруючого семисегментного індикатора

a	b	c	d	Символ		a	b	c	d	Символ
0	0	0	0	0		1	0	0	0	8
0	0	0	1	1		1	0	0	1	9
0	0	1	0	2		1	0	1	0	A
0	0	1	1	3		1	0	1	1	b
0	1	0	0	4		1	1	0	0	C
0	1	0	1	5		1	1	0	1	d
0	1	1	0	6		1	1	1	0	E
0	1	1	1	7		1	1	1	1	F

Каталог **Instruments** (рис. 102).

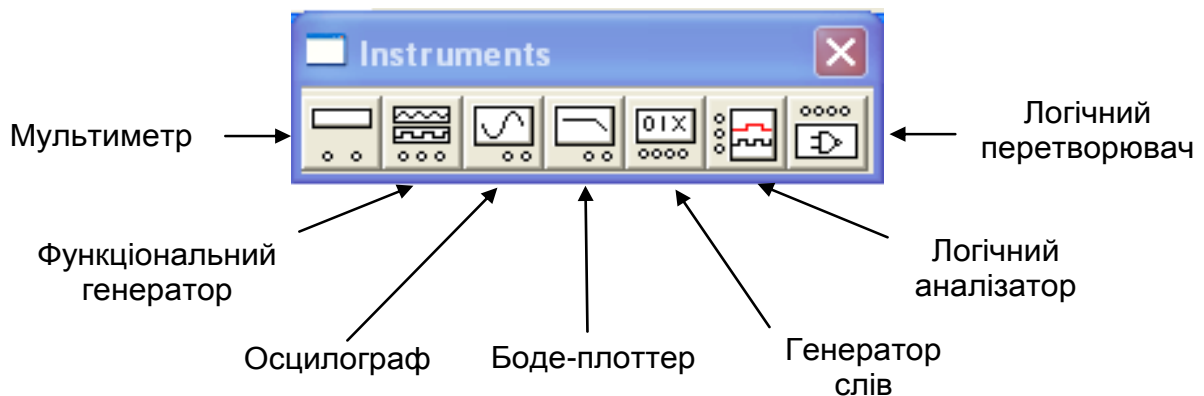


Рис. 102. Каталог Instruments

Окрім описаного амперметра і вольтметра, в **Electronics Workbench** є сім приладів з численними режимами роботи, кожен з яких можна використовувати в схемі тільки один раз. Ці прилади розташовані в каталозі Instruments (рис. 103). Чотири лівих прилади, а саме: мультиметр; функціональний генератор; осцилограф; Боде-плоттер (вимірювач амплітудо-частотних та фазочастотних характеристик) – призначені для формування та спостереження аналогових величин. Інші прилади, що розташовані справа: генератор слів, логічний аналізатор, логічний пере-

творювач використовуються для формування і спостереження логічних величин:

Цифровий мультиметр

Мультиметр використовується для вимірювання наступних величин:
 напруги (постійної і змінної);
 струму (постійного і змінного);
 опору;
 рівня напруги в децибелах.

Для налагоджування мультиметра потрібно подвійним клацанням миші на його зменшеному зображенні відкрити його збільшене зображення (рис. 103-а, б). На збільшеному зображенні натисненням лівої кнопки миші вибирається наступне:

величина, що вимірюється за одиницями вимірювання: **A**, **V**, **Q** або **dB**;
 вид вимірюваного сигналу: змінний або постійний;
 режим установки параметрів мультиметра.

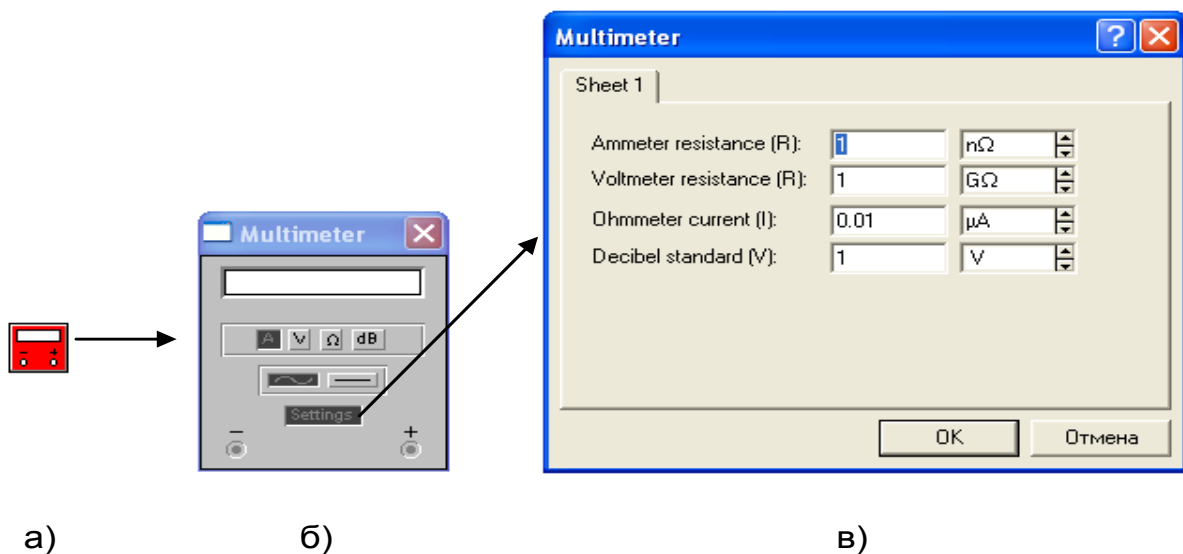


Рис. 103. **Multimeter:**

- а) мале зображення;
- б) велике зображення;
- в) меню кнопки SETTINGS

Встановлення виду вимірюваної величини проводиться натисненням відповідної кнопки на збільшеному зображенні мультиметра. При цьому натисненням відповідної кнопки можна встановити мультиметр для вимірювання діючих значень змінного струму і напруги, в якому постійна складова сигналу при вимірюванні не враховується, або для вимірювання постійної напруги і струму.

Проведення вимірювань.

Вимірювання струму.

Щоб використовувати мультиметр як амперметр, на розширеному зображенні мультиметра необхідно натиснути кнопку **A**. Для вимірювання струму слід підключити мультиметр послідовно до ланцюга схеми, в якій потрібно провести вимірювання. Включити схему. На табло мультиметра з'явиться заміряне значення струму в ланцюзі. Якщо потрібно зміряти струм в іншому ланцюзі схеми, необхідно від'єднати мультиметр і підключити його послідовно в потрібну ланцюг і знову включите схему.

Якщо необхідно зміряти струм в декількох ланцюгах схеми одночасно, то слід скористатися амперметрами, оскільки на відміну від мультиметра, який можна ставити в схему один раз, амперметрів в схему можна ставити необмежене число.

Вимірювання напруги.

Лівою кнопкою миші необхідно натиснути на мультиметре кнопку **V**, щоб використовувати його як вольтметр. Для вимірювання напруги слід підключити мультиметр паралельно ділянці схеми, на якій потрібно зміряти напругу. Включите схему. На табло мультиметра з'явиться заміряне значення напруги. Для вимірювання напруги на іншій ділянці схеми необхідно просто переставити виводи мультиметра до цієї ділянки схеми.

Якщо необхідно зміряти напругу в декількох крапках схеми — треба скористатися вольтметрами, оскільки на відміну від мультиметра, який можна ставити в схему один раз, вольтметрів можна ставити необмежене число.

Вимірювання опору.

Мультиметр – єдиний в **Electronics Workbench** стандартний прилад, призначений для вимірювання опору. Для використання мультиметра як омметра слід підключити його паралельно ділянці ланцюга, опір якої потрібно зміряти, на збільшеному зображенні мультиметра натиснути кнопку **Ω** і встановити режим вимірювання постійного струму. Включити схему. На табло мультиметра при цьому з'явиться заміряне значення опору. Для вимірювання опору іншої ділянки схеми необхідно переставити виводи мультиметра до цієї ділянки схеми і знову включити схему.

Щоб уникнути помилкових свідчень, схема підключення повинна мати з'єднання із землею і не мати контакту з джерелами живлення.

Вимірювання рівня напруги в децибелах.

Для вимірювання рівня напруги в децибелах на збільшеному зображенні мультиметра необхідно натиснути кнопку **dB**. Мультиметр підключається одним із виводів до місця схеми, рівень напруги в якій потрібно зміряти, а іншим виводом до місця, щодо якого проводиться вимірювання. При вимірюванні рівня змінної напруги вимірюється діючий рівень значення. Після включення схеми на табло мультиметра з'явиться зміряне значення рівня напруги. Для вимірювання рівня напруги в іншому місці схеми слід переставити виводи мультиметра і знову включити схему.

Рівень напруги в децибелах підраховується таким чином:

$$dB = 20 \cdot \lg \frac{|U_{BX}|}{U_{оп}}$$

де U_{BX} – напруга, прикладена до виводів мультиметра,

$U_{оп}$ – опорна напруга, по відношенню до якої вимірюється рівень напруги. За умовчанням опорна напруга встановлена рівною **1 В**.

Установки (**SETTINGS**).

Клавішу **SETTINGS** необхідно використовувати для встановлення наступних параметрів:

- вхідного опору вольтметра;
- послідовного опору амперметра;
- вимірювального струму омметра;
- опорної напруги для відліку в децибелах.

При натисненні на клавішу **SETTINGS** відкривається вікно налагоджування параметрів мультиметра, показане на рис. 103 – в. Параметри мультиметра повинні мати таке значення, щоб вимірювальний прилад мінімально впливав на схему, що тестується.

Функціональний генератор

Генератор є ідеальним джерелом напруги, що виробляє сигнали синусоїдальної, прямокутної або трикутної форми. На екран виводиться зменшене зображення генератора (рис. 104 – а).

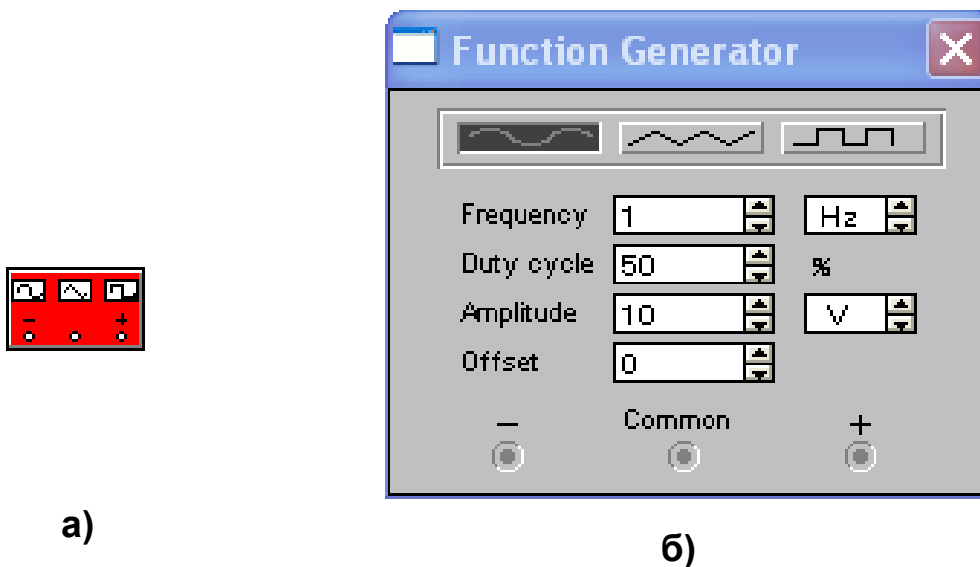


Рис.104. Функціональний генератор:

- а) мале зображення;
- б) велике зображення.

Середній вивід генератора при підключенні до схеми забезпечує загальну крапку для відліку амплітуди змінної напруги. Для відліку напруги щодо нуля загальний вивід заземляють. Крайні правий і лівий виводи служать для подачі змінної напруги на схему. Напруга на правому виводі змінюється в позитивному напрямі щодо загального виводу, напруга на лівому виводі – в негативному. Подвійним клацанням миші на зменшеному зображенні відкривається збільшене зображення генератора (рис. 104 – б).

Можна задати наступні параметри функціонального генератора частоту вихідної напруги;

скважність;

амплітуду вихідної напруги;

постійну складову вихідної напруги.

Налагоджування генератора.

Установка форми сигналу.

Вибрати необхідну форму вихідного сигналу і натиснути на кнопку з відповідним зображенням. Форму трикутного і прямокутного сигналів можна змінити, зменшуючи або збільшуючи значення в полі **DUTY CYCLE** (скважність). Цей параметр визначається для сигналів трикутної і прямокутної форми. Для трикутної форми напруги він задає тривалість (у відсотках від періоду сигналу) між інтервалом наростання напруги і інтервалом спаду. Встановивши, наприклад, значення **20**, можна отримати тривалість інтервалу наростання **20%** від періоду, а тривалість інтервалу спаду – **80%**. Для прямокутної форми напруги цей параметр задає співвідношення між тривалістю позитивної і негативної частини періоду.

Установка частоти сигналу.

Частота генератора може регулюватися від **1Hz** до **999MHz**. Значення частоти встановлюється в рядку **FREQUENCY** за допомогою клавіатури і кнопок зі стрілками. У лівому полі встановлюється чисельне значення, в правому – одиниця вимірювання (**Hz, kHz, MHz** - Гц, кГц, МГц відповідно).

Встановлення амплітуди вихідної напруги.

Амплітуда вихідної напруги може регулюватися від **0 mV** до **999 kV**. Значення амплітуди встановлюється в рядку **AMPLITUDE** за допомогою клавіатури і кнопок зі стрілками. У лівому полі встановлюється чисельне значення, в правому – одиниця вимірювання (**mV, mV, V, kV** - мкВ, мВ, В, кВ відповідно).

Установлення постійної складової вихідної напруги.

Постійна складова змінного сигналу встановлюється в рядку **OFFSET** за допомогою клавіатури або кнопок із стрілками. Вона може мати як позитивне, так і негативне значення. Це дозволяє отримати, наприклад, послідовність однополярних імпульсів.

Осцилограф, імітований програмою **Workbench**, є аналогом двопробеневого осцилографа, що запам'ятовує, і має дві модифікації: просту і розширену (рис. 105). Розширена модифікація за своїми можливостями наближається до кращих цифрових осцилографів, котрий запам'ятовують. Через те, що розширена модель займає багато місця на робочому полі, рекомендується починати дослідження схеми простою моделлю, а для докладного дослідження процесів використовувати розширену

модель. Осцилограф можна підключити до вже включеної схеми або під час роботи схеми переставити виводи до інших точок схеми - зображення на екрані осцилографа зміниться автоматично.

У ході аналізу роботи схеми нерідко виникає необхідність уповільнити процес моделювання, щоб на екрані осцилографа було зручно візуально сприймати інформацію. Це необхідно, наприклад, при дослідженні перехідних процесів або коли в ході експерименту потрібно перемкнути ключ в певний момент. Для цього потрібно збільшити кількість розрахункових крапок на цикл. Це можна зробити, вибравши пункт **Analysis Options** в меню **Circuit** і встановивши в рядку **Time domain points per cycle** необхідне значення (зазвичай достатньо **5000** крапок). За умовчанням кількість крапок рівняється **100**.

Полегшити аналіз осцилограм може включення режиму **Pause after each screen** (Пауза після кожного екрану). У цьому режимі розрахунок схеми зупиняється після того, як промінь осцилографа проходить весь екран. Це часто буває необхідним при завадах з синхронізацією зображення на екрані осцилографа. Щоб продовжити розрахунок схеми, необхідно вибрати пункт **Resume** (Продовжити) меню **Circuit** або натиснути клавішу **F9** на клавіатурі. Зупинити процес розрахунку схеми у будь-який момент часу можна натисненням клавіші **F9** або вибором пункту **Pause** (Пауза) в меню **Circuit**. Продовжити розрахунок можна повторним натисненням клавіші **F9** або вибором пункту **Resume** меню **Circuit**. Натиснення кнопки "Пуск" у правому верхньому кутку екрану припиняє моделювання схеми.

На схему виводиться зменшене зображення осцилографа (рис. 105, а), загальне для обох модифікацій. На цьому зображенні є чотири входи:

верхній правий вхід – загальний вхід;

нижній правий – вхід синхронізації (його призначення буде розглянутий нижче);

лівий і правий входи є відповідно входом каналу **A (channel A)** і входом каналу **B (channel B)**.

Загальний вхід називають так тому, що потенціал на цьому вході є загальною крапкою, щодо якої осцилограф вимірює напругу. Зазвичай цей вивід заземляють, щоб осцилограф вимірював напругу щодо нуля. Тому на панелі осцилографа цей вивід позначений як "**Gground**".

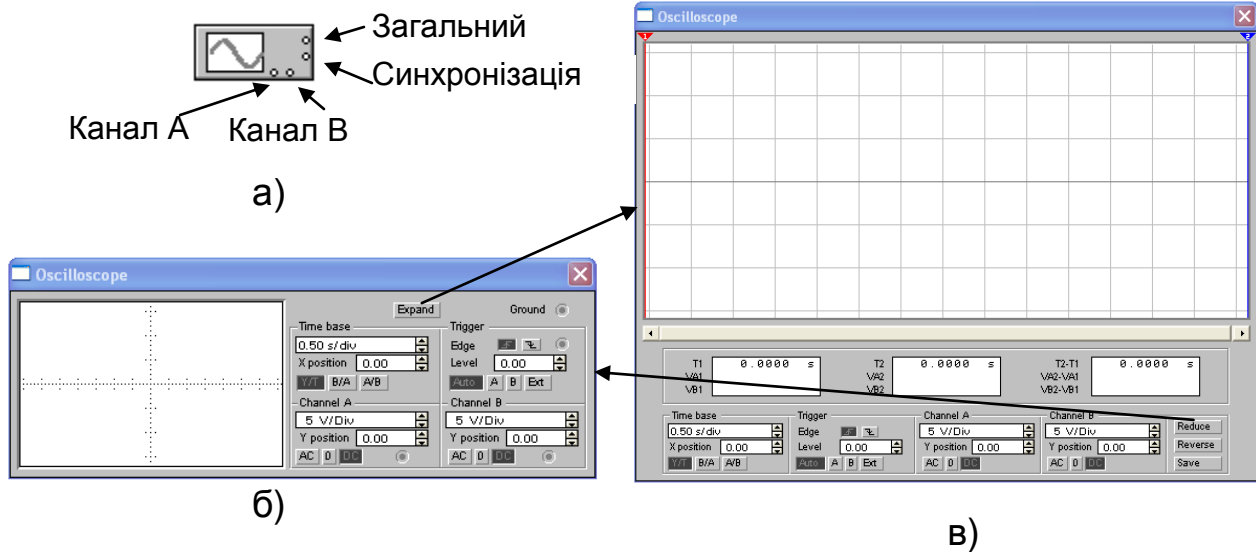


Рис. 105. Осцилограф:

- а) зменшене зображення;
- б) проста модифікація;
- в) розширена модифікація.

Подвійним клацанням миші по зменшеному зображенню відкривається зображення передньої панелі простої моделі осцилографа з кнопками управління, інформаційними полями і екраном (рис.105-б).

Налагоджування осцилографу.

Для проведення вимірювань осцилограф потрібно налагодити, для чого слід задати наступні параметри:

- розташування висей, за якими відкладається сигнал;
- потрібний масштаб розгортки за висями;
- зсув початку координат за висями;
- режим роботи по входу (закритий або відкритий);
- режим синхронізації (внутрішній або зовнішній).

Налагоджування осцилографу проводиться за допомогою полів управління, розташованих на панелі управління.

Панель управління.

Панель управління має загальний для обох модифікацій осцилографа вигляд і розділена на чотири поля управління:

- поле управління горизонтальною розгорткою (масштабом часу) (**Time base**);
- поле управління синхронізацією (запуском) (**Trigger**);

поле управління каналом **A (Channel A)**;
 поле управління каналом **B. (Channel B)**;
 Управління масштабом часу (**Time base**).

Поле управління горизонтальною розгорткою (масштабом часу) служить для завдання масштабу горизонтальній висі осцилографа при спостереженні напруги на входах каналів **A** і **B** залежно від часу. Часовий масштаб задається в **c/інт** (інт. – інтервал), **мс/інт**, **мкс/інт**, **нс/інт** (**s/div**, **ms/div**, **ms/div**, **ns/div** відповідно). Величина одного інтервалу може бути встановлена від **0,1 нс** до **1с**. Масштаб може дискретно зменшуватися на один крок в більший або менший бік при клацанні мишею на відповідній кнопці, що розташована праворуч від поля управління горизонтальною розгорткою. Щоб отримати зручне для спостереження зображення на екрані осцилографа, необхідно встановити масштаб часу так, щоб ціна двох інтервалів на горизонтальній осі приблизно була рівна величині, зворотно пропорційній частоті досліджуваного сигналу, тобто складала б період сигналу.

Наприклад, якщо необхідно досліджувати сигнал з частотою **1 KHz**, то треба встановити масштаб часу рівним **0. 05 ms**.

За допомогою кнопок, що розташовані в полі рядка **X Position**, можна дискретно зрушувати початок осцилограми по горизонтальній висі. У цьому ж полі розташовано три кнопки: **Y/T**, **A/B**, **B/A**, що дозволяють задавати вид залежності сигналів, які відображаються. При натисненні на кнопку **Y/T** по вертикальній висі відкладається напруга, по горизонтальній висі - час, при натисненні на кнопку **A/B** по вертикальній висі відкладається амплітуда напруги на вході каналу **A**, по горизонтальній висі - каналу **B** і при натисненні на кнопку **B/A** навпаки. При цьому масштаб вісів визначається установками відповідних каналів. У режимах **A/B** і **B/A** можна спостерігати частотні і фазові зсуви (фігури Ліссажу), петлі гістерезису, вольтамперні характеристики і т. д.

Управління каналами **A** і **B (Channel A, Channel B)**.

Дві нижні частини панелі осцилографа є полями управління відображенням сигналів, поданих на входи каналів **A** і **B** відповідно. Верхнє вікно в полі дозволяє управляти масштабом висі напруги, що відображається, по вертикальній або горизонтальній висі. Ціна інтервалу (ділення) може дискретно встановлюватися від **10mv/div** до **5 Kv/div**.

Масштаб для кожної вісі встановлюється окремо. Щоб отримати зручне для роботи зображення на екрані осцилографа, перед початком експерименту необхідно встановити масштаб, відповідний очікуваній напрузі.

Наприклад, при подачі на вхід змінного сигналу амплітудою **3** вольти необхідно встановити масштаб вертикальної вісі **Y** рівний **1 V/div**.

Нижче розташоване поле, яке дозволяє дискретно зсувати вісь **X** вгору або вниз. Для того, щоб розвести зображення від каналів **A** і **B**, необхідно користуватися зсувами по вісі **Y** (**Y Position**) для одного або двох каналів. Три нижні кнопки реалізують різні режими роботи входу осцилографа. Режим роботи осцилографа з закритим входом встановлюється натисненням на кнопку **AC**. У цьому режимі на вхід не пропускається постійна складова сигналу. При натисненні на кнопку **DC** осцилограф переходить в режим з відкритим входом. У цьому режимі на вхід осцилографа пропускається як постійна, так і змінна складова сигналу. При натисненні на кнопку **OC** вхід осцилографа з'єднується із загальним входом осцилографа, що дозволяє визначити положення нульової відмітки за віссю **Y**.

Управління синхронізацією (**Trigger**).

Верхнє праве поле управління **Trigger** визначає момент початку відображення осцилограми на екрані осцилографа. Кнопки в рядку **Edge** задають момент запуску осцилограми за фронтом або за спадом імпульсу на вході синхронізації.

Поле **Level** дозволяє задавати рівень, при перевищенні якого відбувається запуск осцилограми. Значення рівня можна зсовувати в сторону збільшення або зменшення.

Осцилограф має чотири режими синхронізації:

автоматичний режим (**Auto**) - запуск осцилограми проводиться автоматично при підключенні осцилографа до схеми або при її включенні. Коли "промінь" доходить до кінця екрану, осцилограма знову прописується з початку екрану (новий екран).

режими запуску по входу "**A**" або "**B**", в яких сигналом що запускає є сигнал, який поступає на відповідний вхід.

режим "Зовнішній запуск" (**Ext - external**). В цьому випадку сигналом запуску є сигнал, що подається на вхід синхронізації.

У випадку, коли сигнал не відображається або сигнал слабкий, необхідно натиснути кнопку **Auto**.

Розширена модифікація осцилографа.

Натиснення клавіші **Expand** на панелі простої моделі відкриває вікно розширеної моделі осцилографа. Панель розширеної моделі осцилографа на відміну від простої моделі розташована під екраном і доповнена трьома інформаційними табло, на які виводяться результати вимірювань.

Крім того, безпосередньо під екраном знаходиться лінійка прокрутки, що дозволяє спостерігати будь-який часовий відрізок процесу від моменту включення до моменту виключення схеми. По суті, розширена модель осцилографа – це абсолютно інший прилад, що дозволяє набагато зручніше і більш точно проводити чисельний аналіз процесів. На екрані осцилографа розташовано два курсори, що позначаються 1 (червоний) і 2 (синій), за допомогою яких можна зміряти миттєві значення напруги в будь-якій точці осцилограми. Для цього необхідно просто перетягнути мишею курсори за трикутники в їх верхній частині в необхідне положення. Координати точок перетину першого курсору з осцилограмами відображаються на лівому табло, координати другого курсору - на середньому табло. На правому табло відображаються значення різниць між відповідними координатами першого і другого курсорів. Результати вимірювань, отримані за допомогою розширеної моделі осцилографа, можна записати у файл. Для цього необхідно скористуватися кнопкою **Save** (Зберегти) і в діалоговому вікні ввести ім'я файла. Цьому файлу привласнюється розширення *. **scp**. Він є текстовим файлом в **ASCII** кодах, в якому записані дані про значення напруги в точках підключення осцилографа через інтервал часу, рівний масштабу горизонтальної розгортки.

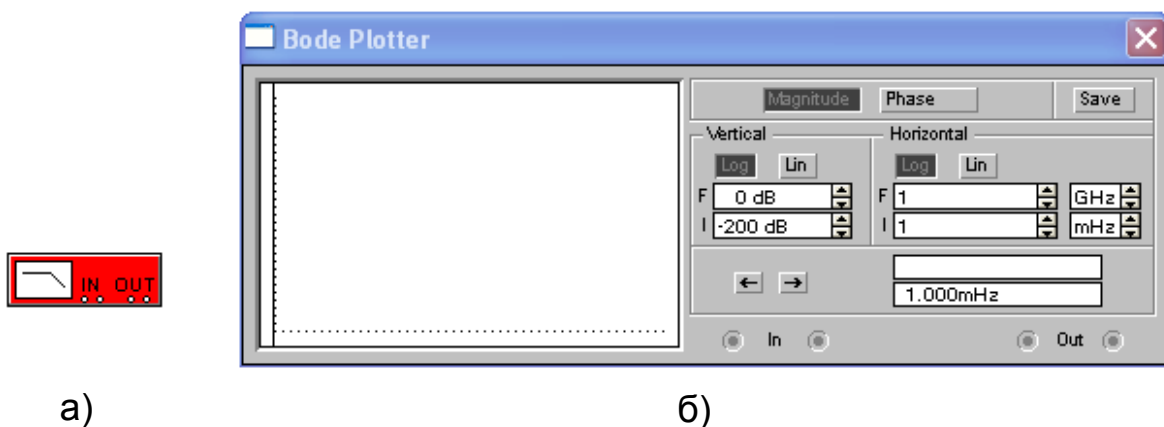
Щоб повернутися до колишнього зображення осцилографа, необхідно натиснути клавішу **Reduce**, розташовану в правому нижньому кутку.

Бодє-плоттер (графобудівник)

Бодє-плоттер використовується для отримання: амплітудно-частотних (**АЧХ**) і фазочастотних (**ФЧХ**) характеристик схеми. Бодє-плоттер вимірює відношення амплітуд сигналів в двох точках схеми і фазовий зсув між ними. Відношення амплітуд сигналів може вимірюватися в децибелах. Для вимірювання Бодє-плоттер генерує власний спектр частот, діапазон якого може задаватися при налагоджуванні приладу. Частота будь-якого змінного джерела в досліджуваній схемі ігнорується, але схема повинна вмещувати яке-небудь джерело змінного струму.

На схему виводиться зменшене зображення плоттера (рис. 106 – а).

Бодє-плоттер має два входи (**In**) і два входи (**Out**). Для вимірювання відношення амплітуд або фазового зсуву потрібно підключити позитивні виводи входів **In** і **Out** (ліві виводи відповідних входів) до досліджуваних крапок, а два інших виводи заземлити. При подвійному клацанні мишею по зменшеному зображенню Бодє-плоттера відкривається його розширене зображення (рис. 106 – б).



а)

б)

Рис. 106. Бодє-плоттер:

- а) зменшене зображення;
б) розширене зображення

У лівій частині панелі плоттера спостерігається вид отримуваної характеристики: **АЧХ** або **ФЧХ**. Для отримання **АЧХ** необхідно натиснути кнопку **Magnitude**, для отримання **ФЧХ** - кнопку **Phase**.

Ліва панель управління (**Vertical**) задає наступне:

початкове (**I - initial**) і кінцеве (**F - final**) значення параметрів, що відкладаються по вертикальній вісі;

вид шкали вертикальної вісі - логарифмічна (**Log**) або лінійна (**Lin**).

Права панель управління (**Horizontal**) налагоджується аналогічно. При отриманні **АЧХ** по вертикальній вісі відкладається відношення напруги в наступних інтервалах:

у лінійному масштабі від **0** до **10 E9**;

у логарифмічному масштабі від **-200 dB** до **200 dB**.

При отриманні **ФЧХ** по вертикальній вісі відкладаються градуси – від **-720°** до **720°**. По горизонтальній вісі завжди відкладається частота в Герцах або в похідних одиницях. На початку горизонтальної шкали розташований курсор. Його можна переміщати натисненням на кнопки зі стрілками, розташованими праворуч від екрану, або "тягнути" за допомогою миші. Координати точки перетину курсору з графіком характеристики виводяться на інформаційних полях внизу справа. За допомогою Бode-плоттера неважко побудувати топографічну діаграму на комплексній площині для будь-якої схеми.

Генератор слів

Генератор слів використовується для завдання цифрових послідовностей. На схему виводиться зменшене зображення генератора слів (рис. 107-а).

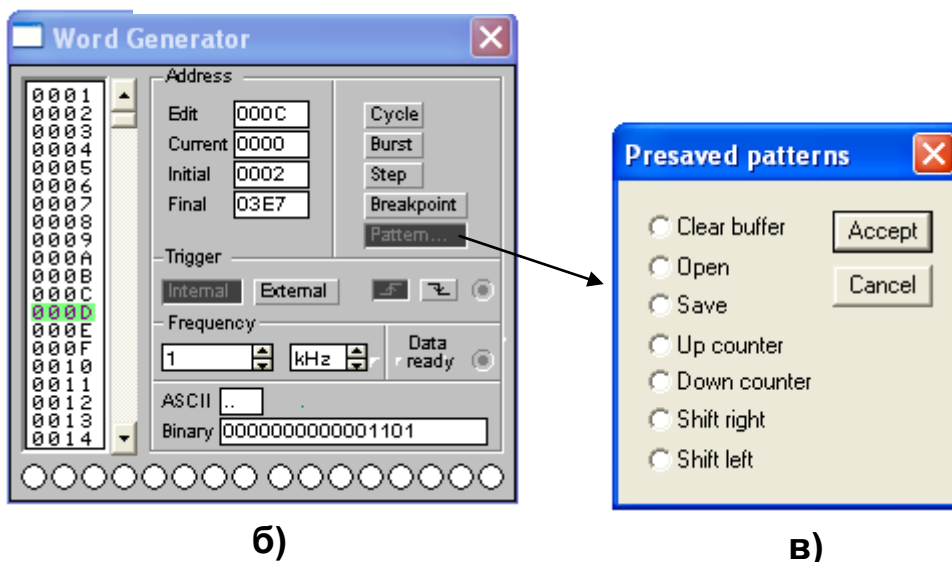
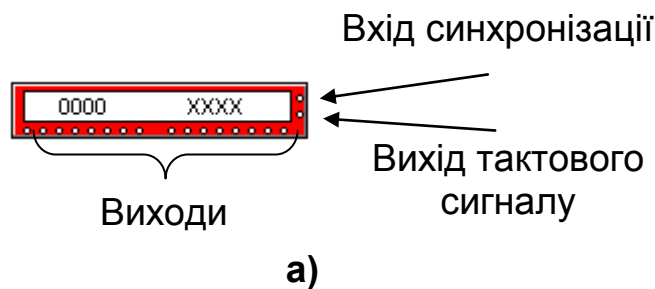


Рис. 107. Генератор слів:
а) зменшене зображення;
б) розширене зображення;
в) меню вікна Patterns.

На вісім виходів в нижній частині генератора паралельно подаються біти двійкового слова, що генерується. На вихід тактового сигналу подається послідовність тактових імпульсів із заданою частотою. Вхід синхронізації використовується для подачі синхронізуючого сигналу від зовнішнього джерела.

Подвійним клацанням миші відкривається розширене зображення (рис. 107 – б). Ліва частина генератора містить 16 восьмибітових слів. Виділенням наголошується слово, активне в даний момент. Значення бітів цього слова відбиваються в круглих вікнах внизу на панелі генератора. Введення слів проводиться в лівій частині вікна генератора за допомогою миші і клавіатури. Натисненням на ліву клавішу миші виділяється потрібний біт, а введення значення **0** або **1** проводиться з клавіатури. При введенні також можна користуватися клавішами переміщення курсору на клавіатурі.

Генератор може працювати в трьох режимах:

покроковому (кожного разу після передачі чергового слова на вихід генератора він зупиняється);

циклічному (на вихід генератора одноразово послідовно поступають всі **16** слів);

безперервному (всі слова циклічно передаються на вихід генератора протягом необхідного часу).

Натисненням на кнопку **Step** генератор переводиться в покроковий режим, кнопка **Burst** переводить в циклічний режим, а кнопка **Cycle** – в безперервний. Для того, щоб перервати роботу в безперервному режимі, необхідно ще раз натиснути кнопку **Cycle** (або **CTRL+ T** на клавіатурі).

За допомогою кнопки **Breakpoint** можна відмітити кольором будь-яке кодове слово. При роботі генератора в циклічному або безперервному режимах, при досягненні цього слова генерація послідовностей зупиняється. Якщо повторно натиснути на кнопку **Cycle** або **Burst**, формування кодових послідовностей повториться знову за наперед встановленим режимом роботи. На роботу генератора в покроковому режимі вище вказана відмітка ніяким чином не впливає.

При натисканні кнопки **Patterns** відкривається вікно меню (рис. 107–в) за допомогою якого можна зробити наступні дії:

очистити (заповнити нулями) ліву частину вікна генератора (**Clear buffer**);

використання наперед збереженого набору слів (шаблону) (**Open**);
зберегти для подальшого використання сформований набір слів (шаблон зберігається у вигляді файлу з розширенням *. dp);

задати генерації слів у порядку збільшення величини двійкових кодів (**Up counter**);

задати генерації слів у порядку зменшення величини двійкових кодів (**Up counter**);

формування зсуву **1** вправо на один розряд при видачі кожного наступного слова (**Shift right**);

формування зсуву **1** вліво на один розряд при видачі кожного наступного слова (**Shift level**).

Управління синхронізацією.

Панель управління **Trigger** визначає момент початку роботи генератора. Момент запуску може бути заданий за позитивному або негативному фронтах синхронізуючого імпульсу. У режимі **External** (Зовнішня синхронізація) передача слів на вихід генератора синхронізується за допомогою імпульсів, що подаються на вхід запуску. З приходом кожного імпульсу на вихід генератора видається одне слово. У режимі **Internal** (Внутрішня синхронізація) генератор проводить внутрішню синхронізацію передачі слів на вихід. Установити частоту імпульсів в межах від Гц до мГц можна у вікні **Frequency**.

Логічний аналізатор

На схему виводиться зменшене зображення логічного аналізатора (рис. 108 – а). Логічний аналізатор підключається в досліджуваній схемі за допомогою виводів в його нижній частині. Одночасно можуть спостерігатися сигнали у восьми точках схеми. Подвійним клацанням миші по зменшеному зображенню відкривається розширене зображення логічного аналізатора, приведене на рис. 108 – б. Тимчасові діаграми сигналів на екрані **16**-канального логічного аналізатора зображуються у вигляді прямокутних імпульсів. Крім того, круглі вікна в лівій частині аналізатора показують поточний стан входів аналізатора. Кожне вікно відповідає одному з його входів.

На екрані логічного аналізатора розташовано два курсори (**1** та **2**), що позначаються червоним і синім кольором і за допомогою яких можна зміряти миттєві значення напруги в будь-якій точці аналізатора. Для цього необхідно просто перетягнути мишею курсори за трикутники в їх

верхній частині в необхідне положення. Координати точок перетину курсорів з сигналами, а також значення різниць між відповідними координатами першого і другого курсорів відображаються на нижньому лівому табло. Крім цього, на нижньому правому табло фіксується в десятковій формі значення вхідних сигналів (двійкового коду) в момент часу, які відповідають положенням курсорів. Крім того, безпосередньо під екраном знаходиться лінійка прокрутки, що дозволяє спостерігати будь-який часовий відрізок процесу від моменту включення до моменту виключення схеми. Натиснення кнопки **Stop** зупиняє процес аналізу сигналів і на екрані аналізатора фіксується зображення сигналів на момент натиснення цієї кнопки. Натиснення на клавішу **Reset** очищає екран логічного аналізатора.

При натисненні кнопки **Set** на панелі **Clock** відкривається меню **Set clock setup** (рис. 108 – в). За допомогою цього меню встановлюються часові, частотні та амплітудні параметри, згідно з якими логічний аналізатор здійснює прийом та відображення вхідних сигналів.

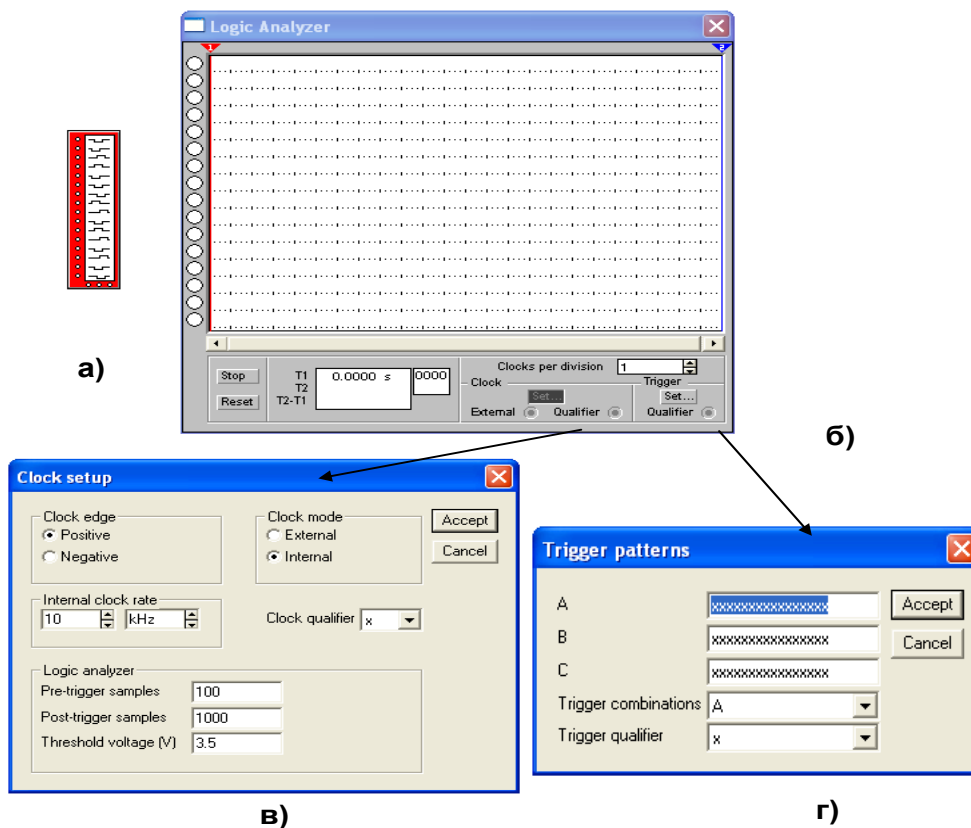


Рис. 108. Логічний аналізатор:
 а) зменшене зображення;
 б) розширене зображення; в) меню кнопки Set clock setup;
 г) меню кнопки Set trigger patterns

При натисненні кнопки **Set** на панелі **Trigger** відкривається меню **Set trigger patterns** (рис. 108 – г). Логічний аналізатор може працювати в режимі зовнішньої синхронізації. У цьому режимі синхронізація проводиться синхронізуючим імпульсом від зовнішнього джерела, що подається на вхід синхронізації. Зовнішня синхронізація може також здійснюватися комбінацією логічних рівнів, що подаються на входи каналів аналізатора. Для цього слід задати комбінацію логічних рівнів (слово), при приході якої на входи аналізатора запусниться зображення тимчасових діаграм на його екрані. Логічний аналізатор дозволяє задавати три таких слова та дев'ять комбінацій на основі цих слів.

1.1. Логічний перетворювач

Логічний перетворювач – прилад, який не має аналогів серед реальних цифрових приладів. Він призначений для виконання різних функціональних перетворень в схемі. З його допомогою можна здійснювати наступні операції:

- визначення таблиці істинності (відповідності) досліджуваної схеми;
- введення та перетворення таблиці істинності в логічний вираз;
- спрощення виразів Булевої алгебри;
- перетворення логічного виразу в таблицю істинності;
- створення логічних схем за заданим логічним виразом;
- синтез логічних схем на елементах **I-НІ** за заданим логічним виразом.

На екран виводиться зменшене зображення логічного перетворювача.

Подвійним клацанням миші по зменшеному зображенню відкривається розширене зображення приладу, приведене нижче на рис. 109–б.

Визначення таблиці істинності (відповідності) досліджуваної схеми

Для отримання таблиці істинності схеми необхідно підключити входи (**A, B, 3, D, E, F, G, H**) логічного перетворювача до входів досліджуваної схеми (не більше восьми), вихід (**OUT**) логічного перетворювача з'єднати з виходом схеми. Після натиснення кнопки в лівій частині екрану логічного перетворювача з'явиться таблиця істинності, що описує функціонування досліджуваної схеми.

Введення та перетворення таблиці істинності в логічний вираз

Для того, щоб створити таблицю істинності, необхідно в верхній частині приладу вибрати число змінних **A** до **H** (натиснути на відповідну букву лівою кнопкою миші). Уся ліва половина екрану заповниться комбінаціями нулів і одиниць, які визначають початкові вхідні умови. Трохи правіше розташований стовпець вихідних значень **OUT** (реакція на вхід), заповнений спочатку нулями. Змінюючи в правій колонці нулі на одиниці або **X** (байдужий стан), можна описати стан виходу для будь-якої початкової умови. Після клацання на кнопці в нижньому рядку зображення приладу з'явиться логічний вираз.

Спрощення виразів Булевої алгебри

Якщо таблиця істинності містить велике число змінних, то логічний вираз функції виходить громіздким. Для його перетворення в компактну форму слід натиснути кнопку відповідну кнопку (рис. 109 – б). Треба мати на увазі, що дане перетворення вимагає достатньо великого об'єму оперативної пам'яті, тому, якщо комп'ютер не володіє достатнім об'ємом **ОЗУ**, операція займе дуже багато часу або взагалі не виконуватиметься.

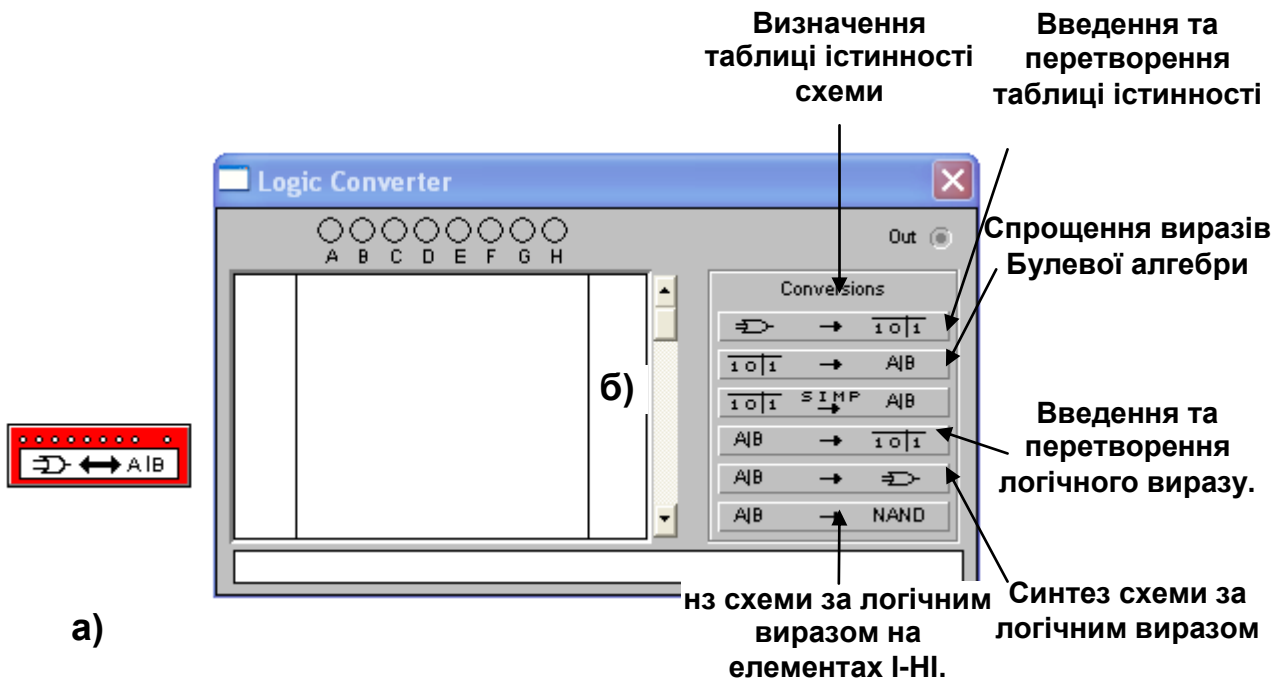


Рис. 109. Логічний перетворювач:

- а) зменшене зображення;
- б) розширене зображення

Введення і перетворення логічного виразу

Для отримання таблиці істинності функції, заданої логічним виразом, необхідно в рядок перетворювача ввести за допомогою клавіатури логічний вираз, а потім натиснути відповідну кнопку (рис. 109 – б). При введенні виразів інверсія позначається апострофом ', логічне складання – знайомим знаком +. Логічне множення не позначається.

Синтез схеми за логічним виразом

За допомогою логічного перетворювача можна отримати схему, що реалізовує функцію, задану логічним виразом. Для цього в нижньому рядку перетворювача необхідно ввести логічний вираз і натиснути відповідну кнопку (рис. 109-б). Після натиснення цієї кнопки на робочому полі **Electronics Workbench** з'явиться еквівалентна логічному виразу схема. Всі елементи в схемі будуть виділені червоним кольором.

Синтез схеми за логічним виразом на елементах I-НІ

Порядок реалізації цієї властивості логічного перетворювача не відрізняється від описаного в попередньому пункті.

1.2 Встановлення значень елементів і приладів

Прості аналогові елементи – такі, як різні джерела, конденсатори, котушки індуктивності, резистори, мають один або декілька параметрів. Окрім заземлення і вузла, що з'єднує (які не мають параметрів), всі елементи мають певні значення параметрів, які встановлені за умовчанням і які можна при необхідності змінити. Значення параметрів найбільш розповсюджених елементів, встановлені за умовчанням, приведені в табл. 45.

Таблиця 45

Значення елементів, що вводяться за умовчанням

Елементи	Параметр вимірювання	Одиниці вимірювання
1	2	3
Джерело постійної напруги (DC)	Вольт (V)	12В
Джерело постійного струму (DC)	Ампер (A)	1А
Джерело змінної напруги (AC)	Вольт (V)	1В
	Частота	1Гц
	Фаза	0 Град

1	2	3
Джерело змінного струму (AC)	Ампер (A)	1A
	Частота	1Гц
	Фаза	0 Град
Резистор	Опір (R)	10м
Конденсатор	Ємкість (C)	1мФ
Реле	Котушка індуктивності (Lc)	0. 025 Гн
	Струм включення (Ion)	0. 05 A
Ключ	Ключі-символи	[A-Z]
Тимчасове реле	Початковий час (Ton) Кінцевий час (Toff)	0. 5 сік 0 сік
Ключ, керований напругою	Напруга включення (Von)	1В
	Напруга відключення (Voff)	0В
Зопобіжник	Макс. струм (I max)	1A

Для встановлення значень параметрів елемента необхідно:

подвійним клацанням миші по зображенню елемента відкрити діалогове вікно його властивостей (це також можна зробити за допомогою пункту **Preferences** меню **Circuit**, елемент повинен при цьому підсвічуватися);

у вікні, що з'явилося, змінити значення параметрів елемента;

встановивши нові значення, натиснути кнопку **Accept** для підтвердження і повернення до схеми.

Для зміни одиниць вимірювання необхідно:

- подвійним клацанням миші викликати діалогове вікно властивостей елемента;

- за допомогою кнопок "Стрілка вгору" і "Стрілка вниз " змінити одиниці вимірювання;

- установивши одиниці вимірювання, натиснути **Accept**.

1. 3. Створення схем для моделювання

Іконки елементів та необхідної контрольної-вимірювальної апаратури за допомогою миші розміщують на робочому столі. Подвійним клацанням миші по зображенню елемента розкривається панель властивостей

цього елемента, а таке ж клацання по зображенню вимірювального прибору розкриває його розширене зображення. При необхідності розміщення лицьової панелі прибору може бути в подальшому переміщене в будь-яке інше місце.

Для створення електричної схеми рекомендується спочатку накреслити майбутню схему на папері, а потім розмістити на робочому столі вибрані елементи згідно з ескізом. Елементи, що розміщені на робочому полі, можна довільно переміщати.

Після розміщення елементів їх виводи з'єднують електричними зв'язками (провідниками). При цьому необхідно врахувати, що до одного виводу елемента можна підключити тільки один провідник.

Для підключення курсор підводять до виводу і після появи маленького кола чорного кольору нажимають на ліву кнопку миші і протягують провідник до виводу іншого компоненту до появи на ньому такого ж кола, після чого кнопка відпускається – з'єднання готове. При необхідності підключення до цієї лінії інших провідників можна в будь-яке місце на провіднику вставити точку (символ з'єднання) з каталогу **Basic**. Спочатку вона має червоний колір і вільно переміщується. Для її фіксації на обраному місці необхідно просто натиснути мишкою. До цієї точки можна підключати ще два провідника. Можна просто протягнути провідник від вільного виводу елемента до будь-якого провідника – після появи символу з'єднання кнопка миші відпускається і точка встановиться автоматично. Якщо точка має чорний колір – електричне з'єднання є, якщо на ній видно слід від перетинаючого провідника, – з'єднання відсутнє і точку треба встановити заново.

Прокладка провідників здійснюється автоматично, при цьому елементи схеми обходяться за ортогональними напрямками і не завжди доцільним чином. Прокладки можна в будь-який момент виправити в бажаному напрямку виділивши провідник і перетаскуючи його мишкою.

Підключення до схеми контрольно-вимірювальної апаратури проводиться аналогічно. Для таких приладів, як осцилограф або логічний аналізатор колір провідника визначає колір відповідної осцилограми.

Зміст

Вступ.....	3
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 1. Форми зображення інформації	
Лабораторне заняття № 1	
ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ RS-ЛАНЦЮГІВ	5
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 2. Логічні основи побудови елементів	
Лабораторне заняття № 2	
ДОСЛІДЖЕННЯ СПОСОБІВ ЗАВДАННЯ ЛОГІЧНИХ ФУНКЦІЙ.....	16
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 2. Логічні основи побудови елементів	
Лабораторне заняття № 3	
МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ ЗА ДОПОМОГОЮ КАРТ	
КАРНО	27
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 3. Схемотехніка комбінаційних вузлів	
Лабораторне заняття № 4	
АНАЛІЗ КОМБІНАЦІЙНИХ ЦИФРОВИХ ПРИСТРОЇВ	45
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 3. Схемотехніка комбінаційних вузлів	
Лабораторне заняття № 5	
СИНТЕЗ КОМБІНАЦІЙНИХ ЦИФРОВИХ ПРИСТРОЇВ	58
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 4. Схемотехніка цифрових елементів	
Лабораторне заняття № 6	
СИНТЕЗ АСИНХРОННИХ ТРИГЕРІВ	72
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 5. Схемотехніка цифрових вузлів	
Лабораторне заняття № 7	
ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ РЕГІСТРІВ	86
Модуль 1. Комп'ютерна цифрова схемотехніка	
Тема 5. Схемотехніка цифрових вузлів	
Лабораторне заняття № 8	
ДОСЛІДЖЕННЯ ВЛАСТИВОСТЕЙ ЛІЧИЛЬНИКІВ ІМПУЛЬСІВ	102

Модуль 2. Комп'ютерна аналогова схемотехніка	
Тема 6. Інтегровані системи елементів	
Лабораторне заняття № 9	
РОЗРАХУНОК ХАРАКТЕРИСТИК ІНТЕГРОВАНИХ СИСТЕМ	
ЕЛЕМЕНТІВ	120
Модуль 2. Комп'ютерна аналогова схемотехніка	
Тема 7. Схемотехніка аналогових вузлів	
Лабораторне заняття № 10	
ДОСЛІДЖЕННЯ СХЕМ НА ОПЕРАЦІЙНОМУ ПІДСИЛЮВАЧІ.....	129
Модуль 2. Комп'ютерна аналогова схемотехніка	
Тема 8. Схемотехніка обслуговуючих елементів	
Лабораторне заняття № 11	
ДОСЛІДЖЕННЯ ГЕНЕРАТОРІВ ІМПУЛЬСІВ	141
Рекомендована література.....	153
Додаток А	157
Додаток Б	158

НАВЧАЛЬНЕ ВИДАННЯ

Навчально - практичний посібник "КОМП'ЮТЕРНА СХЕМОТЕХНІКА"

Автори: Приходько Володимир Мусійович
Третяк Вячеслав Федорович
Осієвський Сергій Валерійович

Відповідальний за випуск
Відповідальний редактор

Пономаренко В.С.
Сєдова Л.М.

Редактор
Коректор

Демченко Н.І.
Демченко Н.І.

План 2007 р. Поз. 37.
Підп. до друку

Формат 60 x 90 1/16. Папір MultiCopy. Друк Riso.

Ум.-друк. арк. Обл.-вид. арк.
Тираж прим. Зам. №

Свідоцтво про внесення до Державного реєстру суб'єктів видавничої справи ДК №481 від 13.06.2001 р.

Видавець і виготівник – видавництво ХНЕУ, 61001, м. Харків, пр. Леніна, 9а

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ

Приходько В.М.

Третяк В. Ф.

Осієвський С.В.

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

НАВЧАЛЬНО-ПРАКТИЧНИЙ ПОСІБНИК

ХАРКІВ, ХНЕУ, 2008

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ХАРКІВСЬКИЙ НАЦІОНАЛЬНИЙ ЕКОНОМІЧНИЙ УНІВЕРСИТЕТ

Приходько В.М.

Третяк В. Ф.

Осієвський С.В.

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

НАВЧАЛЬНО-ПРАКТИЧНИЙ ПОСІБНИК

Укладачі:

Приходько В.М.

Третяк В. Ф.

Осієвський С.В.

Відповідальний за випуск

Пономаренко В. С.

ХАРКІВ. Вид. ХНЕУ, 2008

УДК 004.3(076)

П77

ББК 32.973я73

Рецензенти:

докт. техн. наук, професор, завідувач кафедри "Безпека інформаційних технологій" Харківського національного університету радіоелектроніки І.Д.Горбенко ; докт. техн. наук, професор кафедри "Автоматизація та комп'ютерні технології" Харківського національного технічного університету сільського господарства В. А. Краснобаєв; докт. фіз.-матем. наук, професор кафедри математичного та програмного забезпечення АСУ Харківського університету Повітряних Сил імені Івана Кожедуба С.В. Смеляков.

Затверджено

НА ЗАСІДАННІ КАФЕДРИ

ІНФОРМАЦІЙНИХ СИСТЕМ

Протокол № 2 від 9.10.2007 р.

П77 Приходько В.М.

Комп'ютерна схемотехніка. Навчально-практичний посібник/ В. М. Приходько, В. Ф. Третяк, С. В. Осієвський. – Харків: Видавництво ХНЕУ, 2008. – 204 с. (Укр. мов.)

Призначений для вивчення студентами дисципліни "Комп'ютерна схемотехніка" за напрямом підготовки "Комп'ютерні науки". До нього включені матеріали для засвоєння теоретичних знань і формування необхідних практичних навичок стосовно аналізу, синтезу, розрахунку параметрів основних аналогових і цифрових елементів та вузлів схемотехніки комп'ютерів. Крім того, в посібнику приділена особлива увага питанням формування у студентів навичок експериментального дослідження фізичних явищ, що відбуваються під час функціонування електричних схем, а також формування у тих, кого навчають навичок складання та налагоджування правильної роботи цих електричних схем.

© Харківський національний економічний університет, 2008

© Приходько В.М.

Третяк В.Ф.

Осієвський С.В., 2008